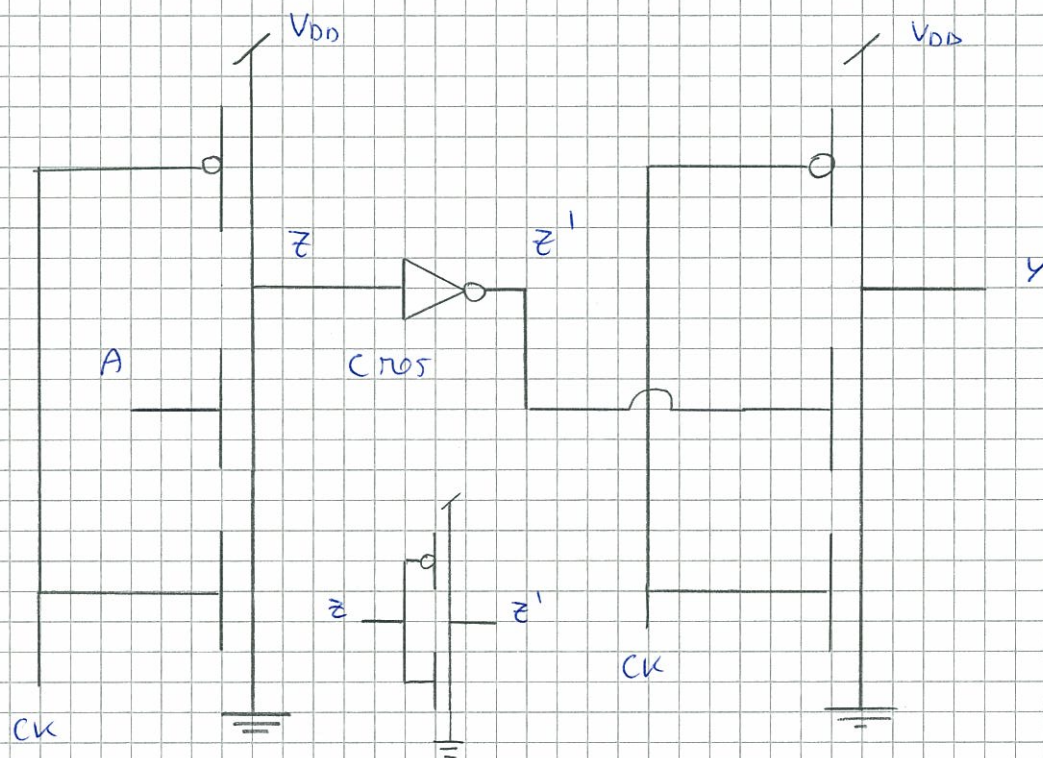
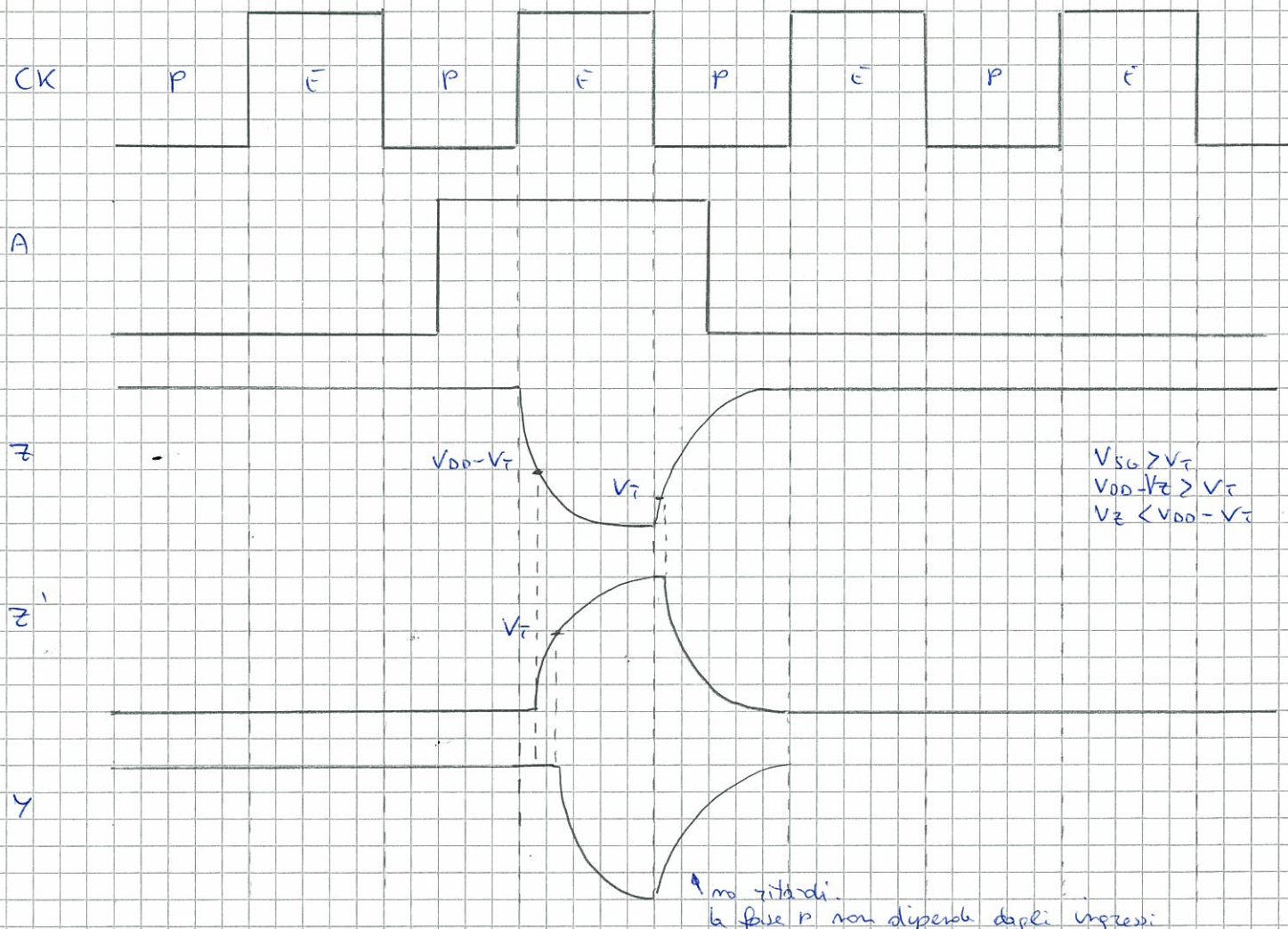


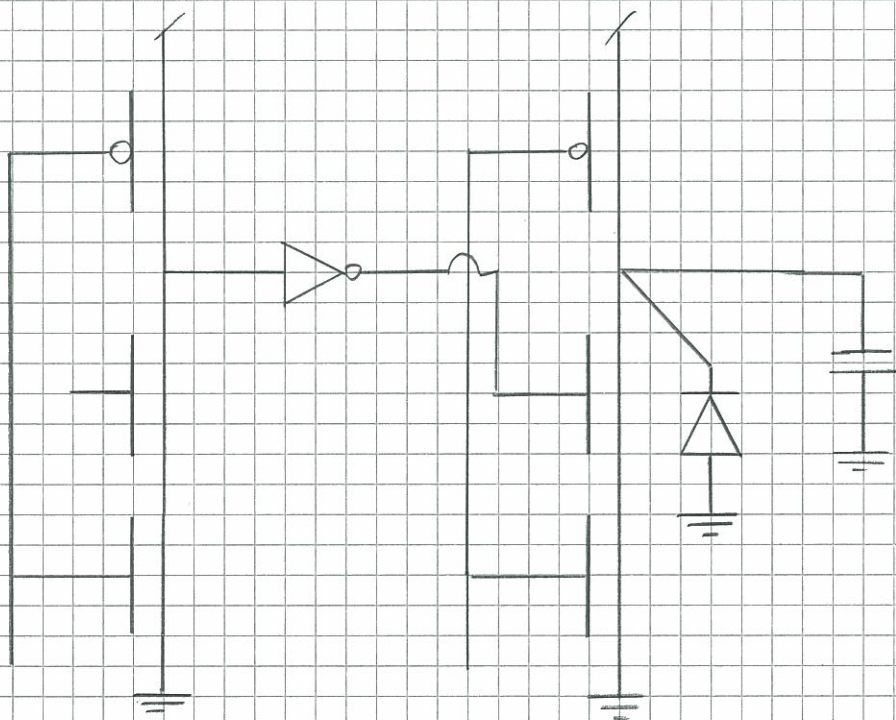
Logica domino



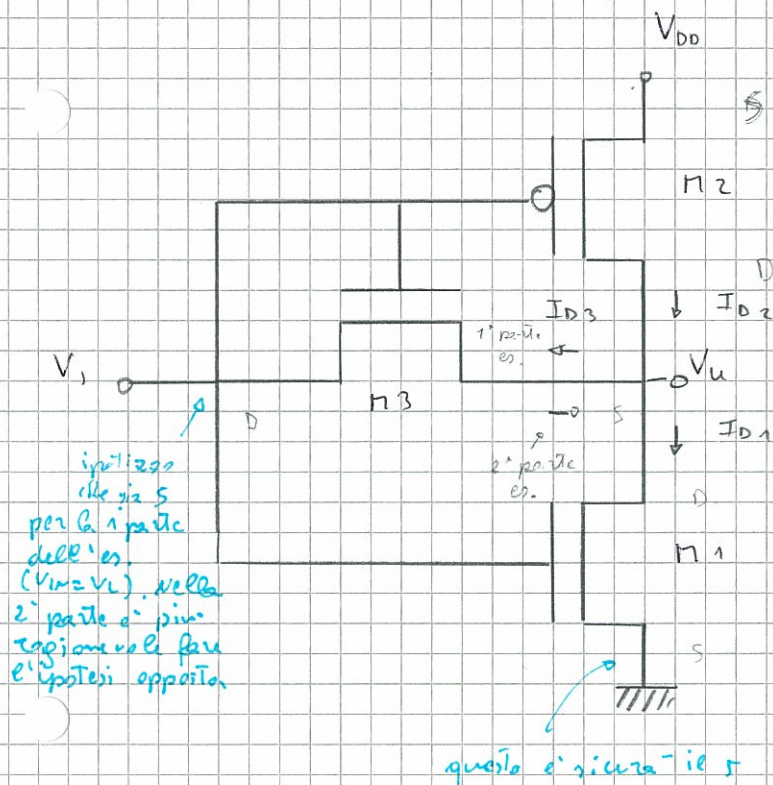
In questo modo è tutto in logica CMOS. Possa avere dimensioni più piccole, inoltre ha un solo clock, quindi ha meno piste in giro per il circuito, inoltre non ha clock-skew.



Il segnale deve essere opportunamente valutato perché' dopo un
 tempo $\rightarrow$ tutti i transistori di esaurirsi. Questo significa che la frequenza
 di clock non può superare un certo valore. Però c'è un limite anche
 sulla lunghezza massima del periodo di clock: non è detto che
 lavorando a frequenza bassa tutto funzioni. Questo perché' in uscita
 $\rightarrow$ tutto (a γ) dobbiamo mettere una capacità (c. Poiché anche
 delle giunzioni np, pn. (tra i transistori). Ma un diodo che è
 polarizzato in inversa. Ma anche una giunzione polarizzata in
 inversa ha una corrente di perdita I_s . Questa corrente piano
 piano mi va a scaricare il condensatore. Se il periodo di clock
 è troppo lungo rischio di valutare un valore del condensatore che
 non mi aspettavo. Quindi ho una frequenza massima ma anche
 una frequenza minima di funzionamento.



esercizio (esclusione logica)



$$V_{tn} = |V_{tp}| = V_t = 0.6 \text{ V}$$

$$\beta_1 = 1 \text{ mA/V}^2 = \beta_2$$

$$\beta_3 = 0.5 \text{ mA/V}^2$$

$$V_{DD} = 3.5 \text{ V}$$

$$V_{TL} = ?$$

Determinare l'esclusione logica del circuito.

Il primo passo è capire il funzionamento, imponendo ad es. $V_i = V_L$ e vedendo cosa succede.

$$V_{in} = V_L < V_t < 0.6 \text{ V}$$

$$\begin{aligned} V_{GS1} &= V_L < V_t \rightarrow M1, M3 \text{ OFF} \\ V_{GS3} &= 0 < V_t \end{aligned}$$

Ipotesi che V_{in} sia a max, che unq. è una tensione minore di V_t . Ma non è necessario, perché unq. $V_i = V_L < V_t \Rightarrow$ posso concludere $M2$ on

$$V_{GS2} = V_{DD} - \underset{\substack{\uparrow \\ V_t}}{V_{in}} > |V_{tp}| \rightarrow M2 \text{ on}$$

Ma può essere acceso in SAT o LV.

M2 SAT

$$V_{SD_P} > V_{SG_P} - V_T$$

$$V_{DD} - V_u > V_{DD} - V_L - V_T$$

$$V_u < V_L + V_T$$

I transistori M1 e M3 sono aperti; quindi I_{D1} e I_{D3} sono nulle.

Invece M3 è acceso, quindi $I_{D3} \neq 0$. Quindi l'uscita V_u sarà alta.

Faccio l'ipotesi

M2 LIN

$$V_{SD_P} < V_{SG_P} - V_T$$

$$V_u > V_L + V_T$$

$$I_{D2} = \beta_2 \left\{ (V_{SG2} - |V_{TP}|) V_{SD2} - \frac{V_{SD2}^2}{2} \right\}$$

$$\begin{cases} V_{SG2} = V_{DD} - V_i \\ V_{SD2} = V_{DD} - V_u \end{cases} \rightarrow I_{D2} = \beta_2 \left\{ (V_{DD} - V_i - |V_{TP}|)(V_{DD} - V_u) - \frac{(V_{DD} - V_u)^2}{2} \right\} = \phi$$

$$I_{D2} = *$$

↑
a regime dovrà essere nulla,
perché I_{D1} e I_{D3} sono nulle
(M1, M3 OFF)

$$\left[(V_{DD} - V_L - |V_{TP}|) - \left(\frac{V_{DD} - V_u}{2} \right) \right] (V_{DD} - V_u) = \phi$$

$$V_{DD} = V_u$$

$$V_{DD} - V_L - |V_{TP}| = \frac{V_{DD} - V_u}{2}$$

allora trovata V_u

*

Verifico Hp M2 LIN

$$V_u = V_{DD} > V_L + V_T \quad \text{si}$$

$$* \quad V_{DD} - V_L - V_T - \frac{V_{DD}}{2} + \frac{V_u}{2} = 0$$

$$\frac{V_{DD}}{2} - V_L - V_T = -\frac{V_u}{2}$$

$$\frac{V_{DD}}{2} = V_L + V_T - \frac{V_u}{2}$$

$\underbrace{\hspace{1.5cm}}$ piccolo
 $\underbrace{\hspace{1.5cm}}$ grande

$\underbrace{\hspace{2.5cm}}$ vien più piccolo di $\frac{V_{DD}}{2}$

Vediamolo in un altro modo.

$$\frac{V_u}{2} = -\frac{V_{DD}}{2} + \underbrace{V_L + V_T}_{\text{no piccolo } (V_L < V_T)}$$

numero negativo

assurdo! *

Ora supponiamo un valore zero in ingresso e tiriamo il valore basso in uscita.

$$V_{IN} = V_{GS1} = V_H = V_{DD} \rightarrow M1 \text{ ON}$$

$$V_{GS3} = \underbrace{V_{IN}}_{V_H} - \underbrace{V_u}_{V_L} = V_{DD} - V_L > V_T \quad M3 \text{ ON}$$

Le SCD di $M3$ si sono invertiti; mentre quelli di $M1$ e $M2$ sono rimasti uguali.

$$V_{GS2} = V_{DD} - V_{IN} = V_{DD} - V_{DD} = 0 < V_T \quad M2 \text{ OFF}$$

Facciamo delle ipotesi sulle regioni di funzionamento dei MOS, in modo da poter poi arrivare a scrivere le eq. delle correnti al nodo di uscita.

$$\begin{aligned} \circ M1: & \quad \left. \begin{aligned} V_{IN} &= V_{DD} \\ V_{IN} &= V_{GS1} \end{aligned} \right\} V_{GS1} = V_{DD} \\ & \quad V_{DS1} = V_u = V_L \end{aligned}$$

Hp: M1 SAT

$$V_{DS1} > V_{GS1} - V_T$$

$$V_L > V_{DD} - V_T$$

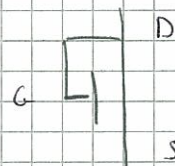
per $\Rightarrow$ M1 LIN

$\circ$ Hp M3

$$V_{GS3} = V_{DD} - V_L = V_{IN} - V_u$$

$$V_{DS3} = V_{IN} - V_u = V_{DD} - V_L$$

$$\Rightarrow V_{GS3} = V_{DS3}$$



Un mos in questa configurazione è sempre SAT

Facciamo la verifica

Hp SAT se
M3

$$V_{DS} > V_{GS} - V_T$$

$$V_{DD} - V_L > V_{DD} - V_L - V_T$$

$$0 > -V_T$$

OK

Concludendo:

M1 LIN

M3 SAT

M2 OFF

Applicando Kirchhoff al nodo di uscita

$$I_{D3} + I_{D2} = I_{D1}$$

$$\begin{array}{ccc} \uparrow & \uparrow & \uparrow \\ I_{D3} & I_{D2} & I_{D1} \\ \text{sat} & 0 & \text{lin} \end{array}$$

$$\frac{\beta_3}{2} (V_{GS3} - V_T)^2 = \beta_1 \left[(V_{GS1} - V_T) V_{DS1} - \frac{V_{DS1}^2}{2} \right]$$

$$\begin{cases} V_{DS1} = V_L \\ V_{GS3} = V_{DD} - V_L \\ V_{GS1} = V_{DD} \end{cases}$$

$$\frac{\beta_3}{2} [(V_{DD} - V_L - V_T)^2] = \beta_1 \left[(V_{DD} - V_T) V_L - \frac{V_L^2}{2} \right]$$

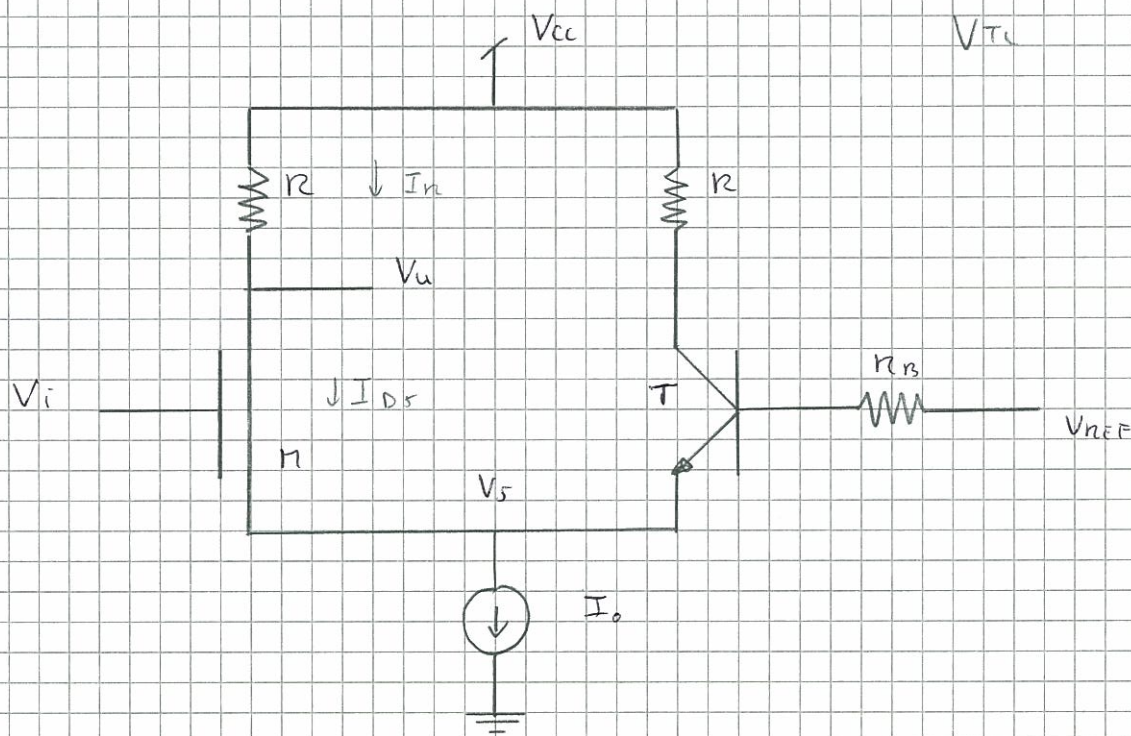
Allo fine risulta $\begin{cases} 5.26 \\ 0.53 \end{cases}$ $\rightarrow$ da scartare perché $> V_{DD}$

$\uparrow$
verifica: è inferiore a V_T ? sì

Se non veniva verificata si doveva rifare tutto l'esercizio supponendo $V_L > V_T$

escursione logica: $V_H - V_L = 3.5 - 0.53 \approx 3 \text{ V}$

Esercizio



β_F, I_S

modello a due parametri per le BJT

β_m ?

è quel punto della caratteristica in cui $V_{in} = V_{out}$

V_T

↙

$$V_{TH} = 3.2 \text{ V } (= V_{TL})$$

Determinare β_m in modo che $V_{TH} = 3.2 \text{ V}$

Dati:

$$V_{CC} = 5 \text{ V}$$

$$V_{REF} = 3 \text{ V}$$

$$V_T = 0.7 \text{ V}$$

$$V_t = \frac{kT}{q} = 26 \text{ mV} \quad \text{tensione termica}$$

$$\beta_F = 100$$

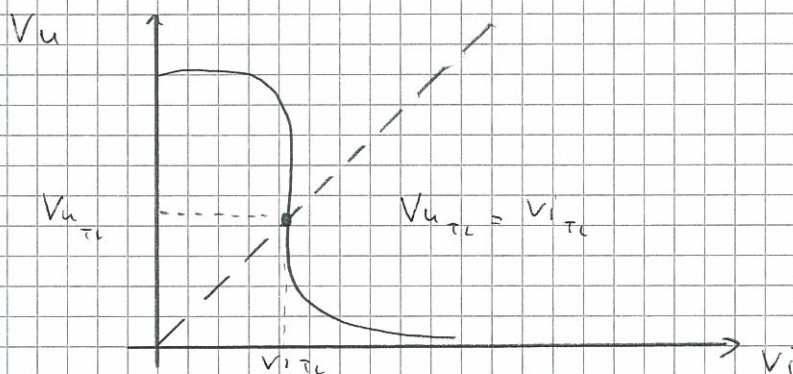
$$I_0 = 3 \text{ mA}$$

$$I_S = 1 \text{ fA}$$

$$R = 1 \text{ k}\Omega$$

$$R_B = 5 \text{ k}\Omega$$

$$V_u = V_i$$



Mettiamoli in corrispondenza della situazione

$$V_{TC} = V_u = V_i = 3.2 \text{ V}$$

M SAT ne

$$V_{DS} > V_{GS} - V_T$$

$$V_u - V_S > V_i - V_S - V_T \quad 0 > -V_T \quad OK \Rightarrow M \text{ SAT}$$

$$I_{DS} = \frac{V_{CC} - V_u}{R}$$

$$I_{DS} = \frac{\beta_m}{2} \underbrace{(V_i - V_S - V_T)}_{V_{GS}}^2$$

Ipotesi sul funzionamento di T. $V_{REF} = 3 \text{ V}$. Hp T ON. Ra in che regione?

Hp: T R.N.

$$I_c = I_s \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \approx I_e$$

$$I_c = \beta_F I_B$$

Considero V_{REF} , la caduta su R_B , V_{BE} , V_{GS} del mos

$$V_{REF} - R_B I_B - V_{BE} = V_i - V_{GS}$$

$$I_0 = I_{DS} + I_e \approx I_{DS} + I_c$$

$$\left\{ \begin{array}{l} I_0 = I_{DS} + I_e \approx I_{DS} + I_c \\ I_{DS} = \frac{V_{CC} - V_u}{R} \\ I_{DS} = \frac{\beta_m}{2} (V_i - V_S - V_T)^2 \\ I_c = I_s \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \approx I_e \\ V_{REF} - R_B I_B - V_{BE} = V_i - V_{GS} = V_S \end{array} \right.$$

$$I_{DS} = \frac{5 - 3.2}{10^3} = 1.8 \text{ mA}$$

$$I_E = I_D - I_{DS} = 1.2 \text{ mA}$$

$$V_{BE} = V_T \ln \frac{I_E}{I_S} = 0.723 \text{ V}$$

$$I_B = \frac{I_C}{\beta_F} \approx \frac{I_E}{\beta_F} = 11.88 \text{ mA}$$

$$V_S = V_{DS} - R_D I_D - V_{BE} = 2.2176 \text{ V}$$

$$\beta_m = \frac{2 I_{DS}}{(V_i - V_S - V_T)^2} = 45 \text{ m A/V}^2$$

"
 $V_u = 3.2 = V_{TL}$

Dobbiamo verificare il R.M.

Per farlo bisogna calcolare V_{CE} .

$$V_C = V_{CC} - R_C I_C$$

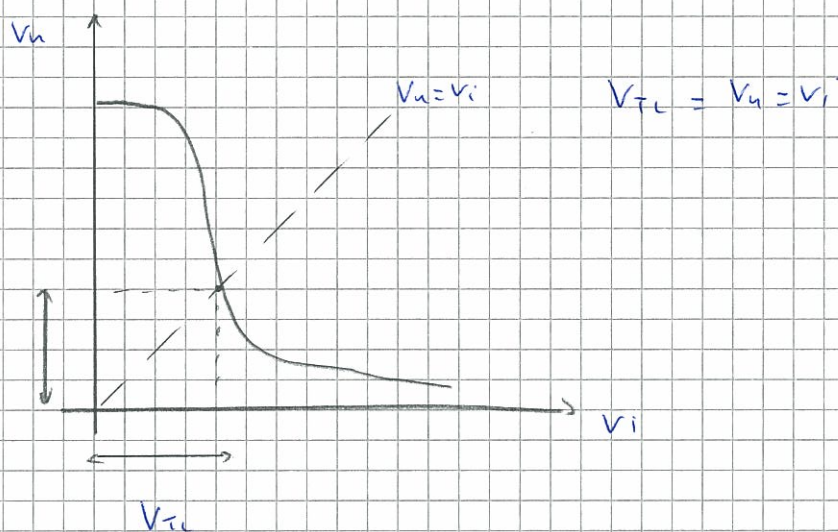
Se $V_{CE} > 0.2$ allora è R.M.

Soglia logica

(Tensione di)

Passa la caratteristica di un invertitore si definisce soglia logica

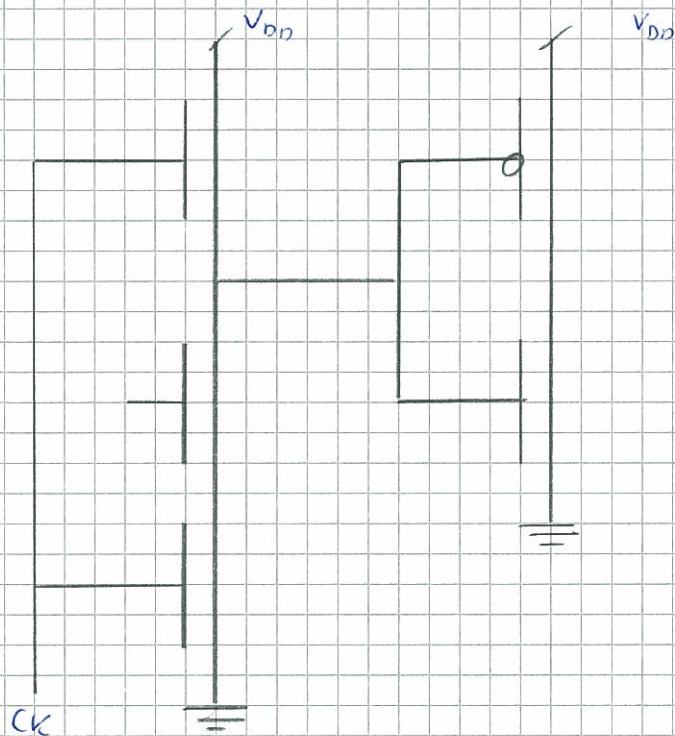
la tensione V_{TL} per cui



logica domino

PF $m+2$

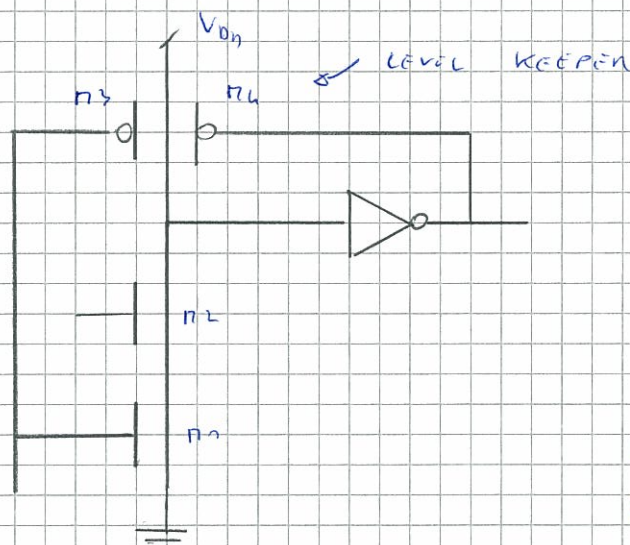
Domino $m+4$



Per $m > 4$ la logica domino risulta più vantaggiosa della CMOS (2m)

La logica domino ha un vantaggio: non è invertente. Non è quindi una logica funzionalmente completa. Dove necessario devono utilizzare 2 altri invertitori.

La logica domino ha un vantaggio notevole.



CK = 0

$$\left. \begin{array}{l} P_0 \text{ ON} \\ P_0 \text{ OFF} \end{array} \right\} P \Rightarrow Y = 1$$

$Z = 0$

Possono pensare di portare Z a un altro mor nello in parallelo a $R3$.

Questo torna utile in fase di alta impedenza

E	CK=1	PU	OFF	$\Rightarrow$	$Y=1$
	A=0	PD	OFF		
					$Z=0$

Avranno osservato che nella logica Po c'era un problema di minima frequenza di funzionamento. Quando consideriamo la logica Po e siamo in una condizione HI il condensatore non tiene la carica per un tempo infinito, perché ci troviamo un diodo polarizzato in inversa che fa una corrente di perdita I_s , per cui alla lunga il condensatore si scarica. Quindi non possiamo fare lungo ed a piacere il periodo di clock.

Nella logica dominano il problema della frequenza minima di funz. e possono risolvere con questa nuova transistor.

E	CK=1	PU	OFF	$\Rightarrow$	$Y=1$
	A=0	PD	OFF		
					$Z=0$

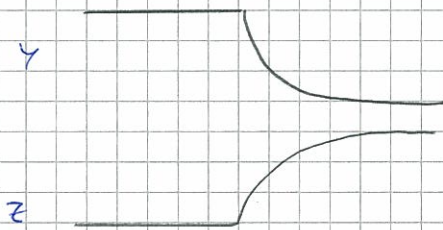
PL ON $\rightarrow$ permette di tenere l'uscita Y a un valore alto.

Questo transistor prende il nome di LEVEL KEEPER.

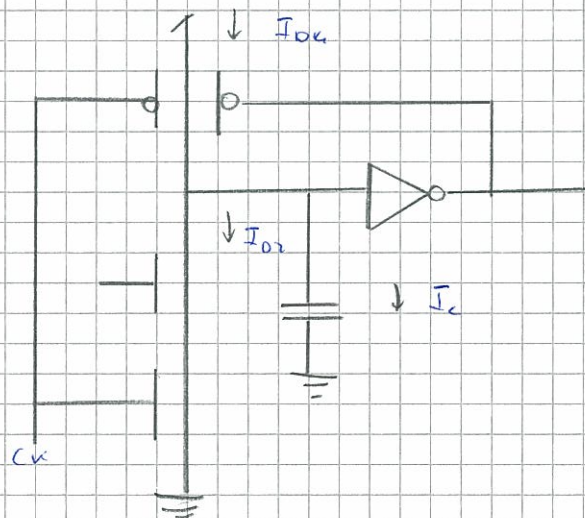
Ma perché ci può interessare lavorare a bassa frequenza? In un circuito non tutte lavorano sempre (ci sono delle sezioni che lavorano e altre che rimangono in stand-by). Anche se gli ingressi rimangono stabili abbiamo una continua commutazione dell'uscita e quindi abbiamo dissipazione dinamica. Se nel circuito che non lavora blocciamo il clock siamo in condizioni stazionarie e il circuito non dissipa. Ma se nello il circuito in stand-by e sono in condizioni di alta impedenza a lungo andare il condensatore si scarica. Il level keeper mantiene alta l'uscita.

Senza level keeper ho invece una frequenza di funzionamento al di sotto del quale non posso andare. Non posso quindi usare queste tecniche di clock gating (blocco del clock).

Il level keeper deve avere dimensioni minime. Innanzitutto deve solo tenere γ alto, non ce lo deve portare. Inoltre supponiamo di avere una commutazione di γ da alto a basso. Da alto a basso ci vuole in un certo tempo. E a sua volta dovrà andare ad alto. Finché γ non è superiore a V_{th} per $V_{DD} - V_t$ non c'è on

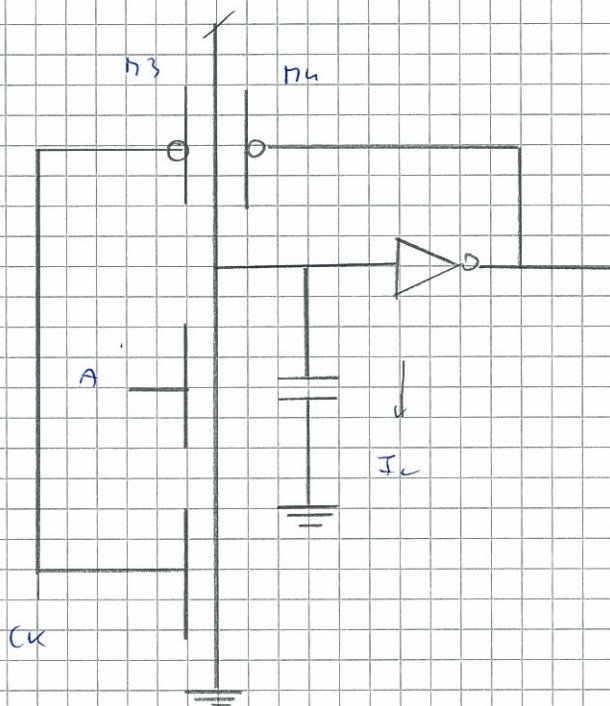


Ma γ tende a tenere γ alto, mentre z deve andare basso. Per cui γ per reggere deve vincere il pull down sul pull up (deve essere maggiore la corrente generata dal pull-down in modo da caricare la capacità).



$$I_{DZ} + I_c = I_{DN}$$

$$I_{DZ} = I_{DN} - I_c$$



In una normale logica P_c (senza $p4$ e senza inverter)

$$C = CK = 1$$

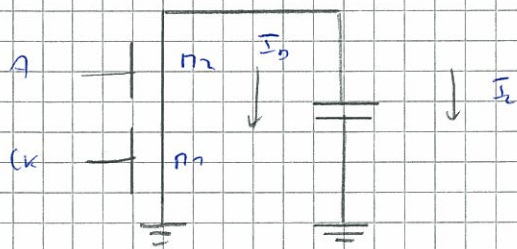
$$A = 1$$

significa

$p3$ OFF

$p2, p1$ ON

$\gamma: 1 \rightarrow 0$



$$I_0 = -I_L$$

Se lo switch è invertito è M_4

$Y: 1 \rightarrow 0$

$Z: 0 \rightarrow 1$

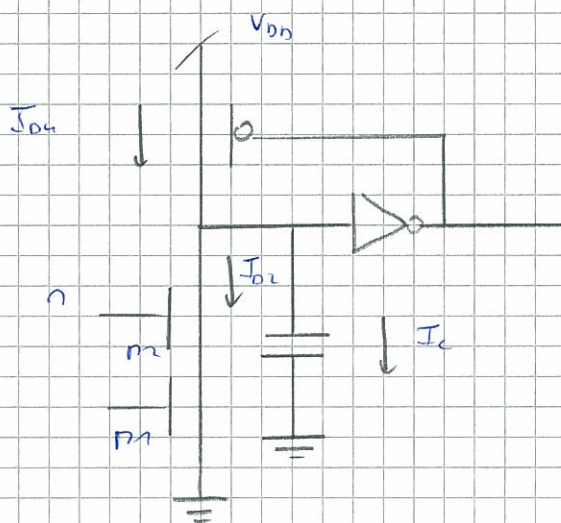
Da all'inizio della fase di volitazione $Z=0$ quindi all'inizio della ϕ

M_3 OFF ($u=1$)

M_4 ON ($Z=0$)

M_2, M_1 ON ($u=1, A=1$)

Il circuito che deve studiare è questo:



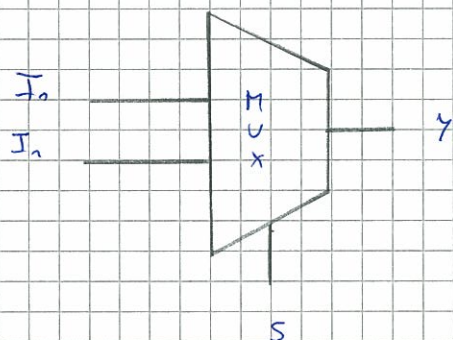
Y sta alto o va basso? dipende dai dimensionamenti dei transistor.

$$I_{ON} = I_{D1} + I_C$$

deve essere $I_{D1} > I_{ON}$, altrimenti il mio condensatore si scarica. Quindi le caratteristiche dei transistor, sia in LV sia in sat dipendono da β . Allora mi conviene che β di M_4 sia il più piccolo possibile (fare M_4 di dimensioni minime).

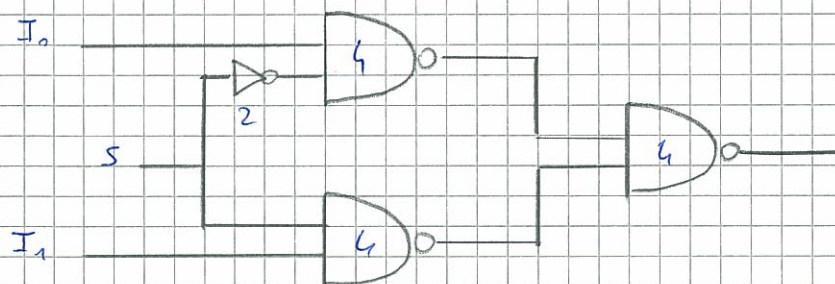
Quando poi Y si è abbassato e $Z > V_{DD} - V_T$ allora M_4 si spegne e Z va più a massa senza problemi. Per far tornare Z a zero devo far prima far alzare β sopra a $V_{DD} - V_T$, e per farli devo spegnere M_4 .

PASS TRANSISTION



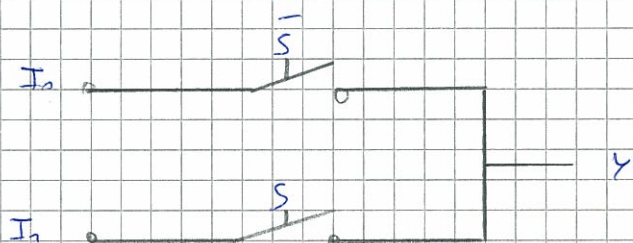
$$Y = \bar{S}I_0 + SI_1$$

Come possiamo realizzare un mux? ne esistono con Bpice (non possiamo usare NAND CMOS).

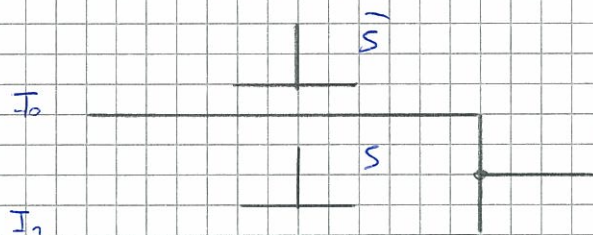


FC MOS
14 MOS

Possiamo pensare di realizzare il mux con degli interruttori.



Come possiamo realizzare degli interruttori? Possiamo usare dei MOS. Uno ha anche il vantaggio di essere perfettamente simmetrico.



4 MOS

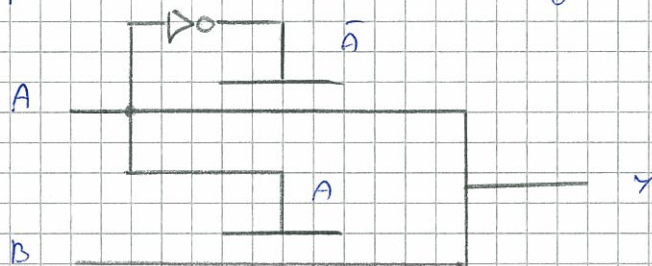
(questi 2 più altri 4 per l'invertitore).

Ma con questa idea degli interruttori posso ad es. fare anche un AND.

$$Y = A \cdot B$$

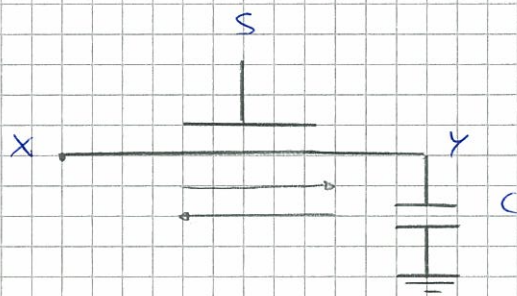
$$Y = A \cdot B + \bar{A} \cdot A$$

Io posso vedere come un mux di ingresso di selezione A ed ingressi selezionati B, $\bar{A}$.



Posso pensare alle funzioni che voglio utilizzare dei MOS.

La funzione basic come interruttore un MOS? Supponiamo di avere un segnale x che voglio portare in uscita girando il condensatore.



$$Y = 0$$

$$X = 1$$

$$S: 0 \rightarrow 1$$

Il MOS permette un trasferimento bidirezionale del segnale.

Studiamo però se x viene trasferito su Y senza degrado.

supponiamo: $t < 0$

$$S = 0$$

$$X = 1 \text{ (VDD)}$$

$$Y = 0$$

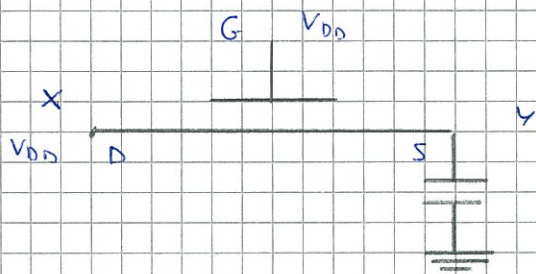
$$t = 0^+$$

$$S = 1$$

$$X = 1 \text{ (VDD)}$$

Vogliamo studiare il valore di Y a regime.

($G = S$, segnale di selezione)



MOS ON

$$V_{GS} > V_T$$

$$V_{DD} - V_S > V_T$$

$$V_S < V_{DD} - V_T$$

Inizialmente $y=0$, quindi sicuramente in $t=0^+$ MOS ON. Ra SAT o LIN?

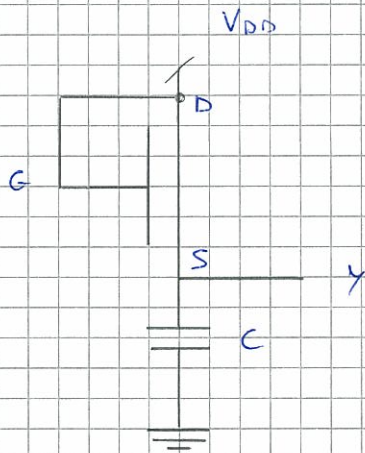
MOS SAT se

$$V_{DS} > V_{GS} - V_T$$

$$V_X - V_Y > V_{DD} - V_Y - V_T$$

$$V_X > V_{DD} - V_T$$

Per tanto il MOS e' SAT avendo $V_X = V_{DD}$

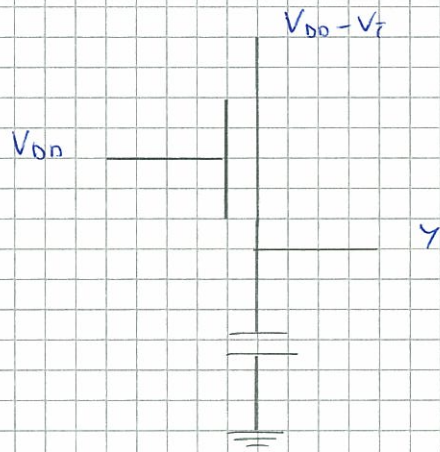


in cond. stazionaria

$$V_Y = V_{DD} - V_T$$

Il valore massimo che y può assumere e' $V_{DD} - V_T$. Quindi perche' una zephia (X era V_{DD}). Si dice che l'MOS, usato come un interruttore, trasmette "UN VERO DIBBLE".

e x $V_x = V_{DD} - V_T$? A regime quanto vale V_y ?



Per SAT e

$$V_{DS} > V_{GS} - V_T$$

$$V_{DD} - V_T - V_y > V_{DD} - V_y - V_T$$

$$0 > 0$$

Sono sulla soglia (tra SAT e CV)

$$I_{DS} = I_C = 0$$

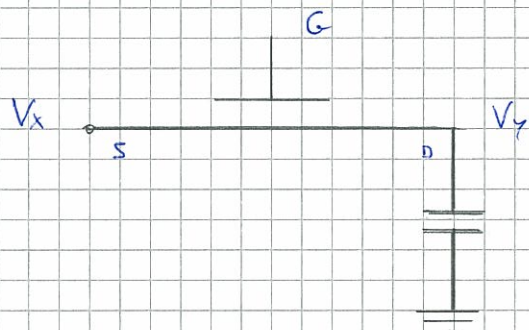
$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2 = 0 \quad (\text{a regime il corrente nel cond. e' nulla})$$

$$V_{DD} - V_y - V_T = 0$$

$$V_y = V_{DD} - V_T$$

Quindi perb solo una soglia. Se mettiamo di questi oggetti in cascata alla fine ho $V_T = V_{DD} - V_T$

Ora guardiamo cosa succede quando dobbiamo trasferire uno zero (0x=0)



in cond. stazionario

$$V_y = ?$$

$$t < 0$$

$$V_y = V_{DD}$$

$$V_x = 0$$

$$V_G = 0$$

$$t = 0^+$$

$$V_y = V_{DD}$$

$$V_x = 0$$

$$V_G = 1$$

MOS SAT re

$$V_{DS} > V_{GS} - V_T$$

$$V_Y - V_X > V_{DD} - V_X - V_T$$

$$V_Y > V_{DD} - V_T$$

Fin q sopra a $V_{DD} - V_T$ il MOS e' in SAT. Quindi in condizioni staz, alla fine del transitorio mi aspetto il MOS in LIN (mi aspetto $V_Y < V_{DD} - V_T$)

$$I_{DS} = -I_C = 0$$

$$I_{DS} = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] = 0$$

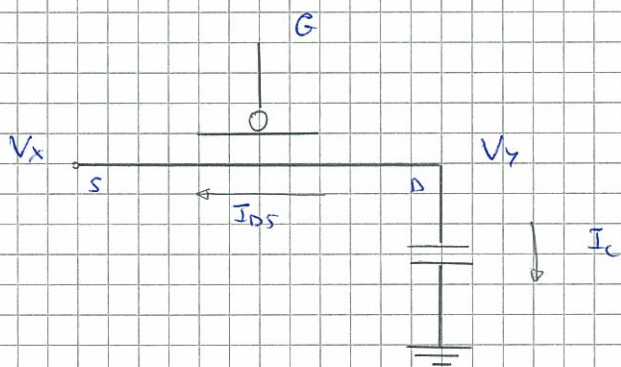
$$V_{DS} = 0 \quad V_Y - V_X = 0 \quad V_Y = V_X = 0$$

Il MOS usato come interruttore trasferisce uno ZERO FORTE

Il MOS usato in questo modo si chiama PASS Transistor.

Parliamo anche dei transistor anche con PMOS

PMOS transistor con PMOS



$$t < 0$$

$$V_X = V_{DD}$$

$$V_Y = 0$$

$$V_G = V_{DD}$$

$$t = 0^+$$

$$V_X = V_{DD}$$

$$V_Y = 0$$

$$V_G = 0V$$

$$V_Y(t = \infty) ?$$

PROV SAT 2c

$$V_{SD} > V_{SG} - V_T$$

$$\cancel{V_{DD}} - V_y > \cancel{V_{DD}} - 0 - V_T$$

$$V_y < V_T$$

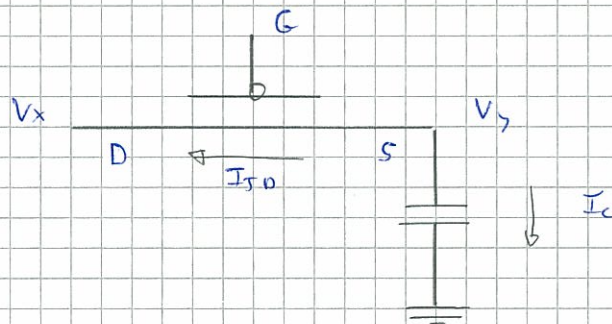
In condizioni stazionarie devo imporre

$$I_{SD} = I_C = 0$$

$$I_{SD} = \beta_p \left[(V_{SG} - V_T) V_{SD} - \frac{V_{SD}^2}{2} \right] = 0 \Rightarrow V_{SD} = 0 \quad V_x - V_y = 0 \quad \boxed{V_x = V_y = V_{DD}}$$

Il MOS trasferisce un VDD FORTE.

Che succede invece quando devo trasferire uno zero?



$$t < 0$$

$$V_x = 0$$

$$V_y = V_{DD}$$

$$V_G = V_{DD}$$

PROV OFF

$$t = 0^+$$

$$V_x = 0$$

$$V_y = V_{DD}$$

$$V_G = 0$$

PROV ON

$$V_y(t = \infty) = ?$$

PROV SAT 2c

$$V_{SD} > V_{SG} - V_T$$

$$\cancel{V_y} - V_x > \cancel{V_y} - 0 - V_T$$

$$0 = V_x < V_T$$

PROV SAT

In condizioni stazionarie

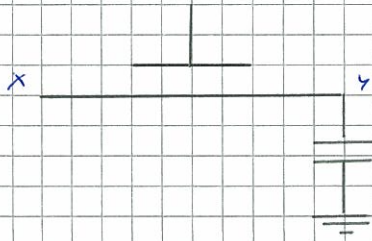
$$I_{SD} = -I_C = 0$$

$$I_{SD} = \frac{\beta_p}{2} (V_{SG} - V_T)^2 = 0$$

$$V_{SG} = V_T$$

$$V_y - 0 = V_T \Rightarrow V_y = V_T$$

Il MOS trasferisce uno ZERO DEBOLE



"1" debole

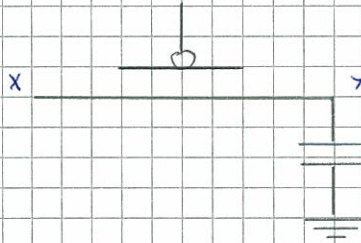
$$V_x = V_{DD}$$

$$V_y = V_{DD} - V_T$$

"0" forte

$$V_x = 0$$

$$V_y = 0$$



"1" forte

$$V_x = V_{DD}$$

$$V_y = V_{DD}$$

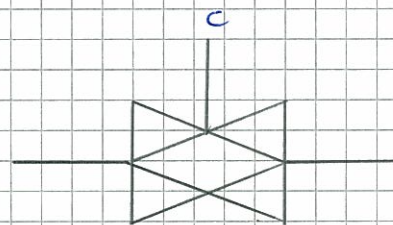
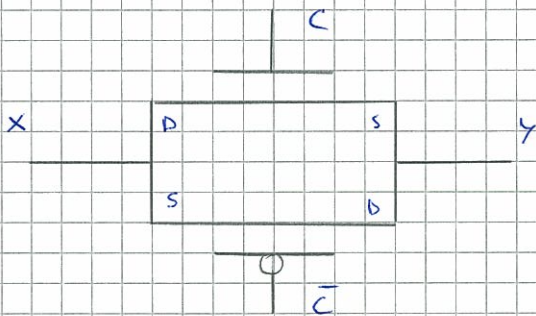
"0" debole

$$V_x = 0$$

$$V_y = V_T$$

Transmission gate

Mettiamo insieme le due cose.



simbolo

⊗

attenzione: non sono due res in parallelo, perché sono diversi.

Supponiamo

$$V_x = V_{DD}$$

$$V_c = V_{DD}$$

$$V_{\bar{c}} = 0$$

$$V_y(0) = 0$$

non SAT

$$V_{DS} > V_{GS} - V_T$$

$$V_x - V_y > V_c - V_y - V_T$$

$$V_x > V_c - V_T = V_{DD} - V_T$$

PMOS SAT ne

$$V_{SD} > V_{SG}$$

$$V_X - V_Y > V_X - V_E - V_T$$

$$-V_Y > -V_T$$

$$V_Y < V_T$$

Quando l'nmos si spegne il PMOS rimane acceso (in LIN) e permette il trasferimento di x .

Nel caso invece

$$V_X = 0$$

$$V_C = V_{DD}$$

$$V_E = 0$$

$$V_Y(0) = V_{DD}$$

Il PMOS prima è SAT poi è LIN. Il PMOS conduce finché la tensione in ingresso arriva a $V_{DD} - V_T$ poi si spegne.

Ripetiamo.

Rimettiamoci nella condizione

$$V_X = V_{DD}$$

$$V_C = V_{DD}$$

$$V_E = 0$$

$$V_Y(0) = 0$$

Allora ricavato nmos SAT $V_X > V_{DD} - V_T$. Ma allora è sempre saturo, essendo $V_X = V_{DD}$. Il PMOS inizialmente sarà SAT, poi in LIN.

Nmos SAT

$$\text{PMOS} \quad V_Y: 0 \quad \text{SAT} \quad V_T \quad \text{LIN}$$

Nmos ON

$$V_{GS} > V_T$$

$$V_{DD} - V_Y > V_T$$

$$V_Y < V_{DD} - V_T \quad \text{Quindi quando } V_Y \text{ arriva a } V_{DD} - V_T \text{ l'nmos si spegne.}$$

PMOS ON

$$V_X > V_T \quad V_X - V_E > V_T \quad V_X > V_T$$

quindi il PMOS è sempre ON, perché $V_X = V_{DD}$. In che regione? LIN,

allungo della pmos con $V_y > V_T$

$$I_{SD,PMOS} = 0$$

$$\beta_p \left[(V_{SD} - V_T) V_{SD} - \frac{V_{SD}^2}{2} \right] = 0$$

$$V_{SD} = 0$$

$$V_x - V_y = 0$$

$$V_x = V_y = V_{DD}$$

L'error da $V_{DD} - V_T$ a V_{DD} non conta niente, perché è spento il completamente del trasferimento dell'1 forte e fatto dal pmos.

Stesso discorso identico (duale) nel caso in cui

$$V_x = V_0$$

$$V_c = V_{DD}$$

$$V_c = 0$$

$$V_y(n) = V_{DD}$$

Qui il pmos è sempre sat, mentre l'nmos è in parte lin e in parte sat. Quando il pmos si spegne e l'nmos a rimane acceso e a completa la transizione dello 0 forte.

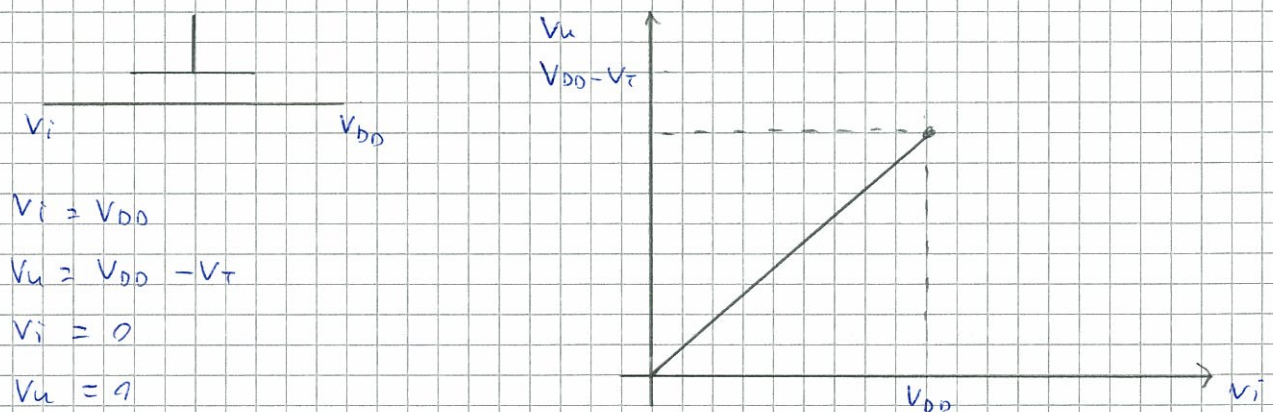
Svantaggi di questo dispositivo:

- Lo raddoppiato il numero dei mos
- deve portare in giro per il circuito C e $\bar{C}$.

Vantaggi:

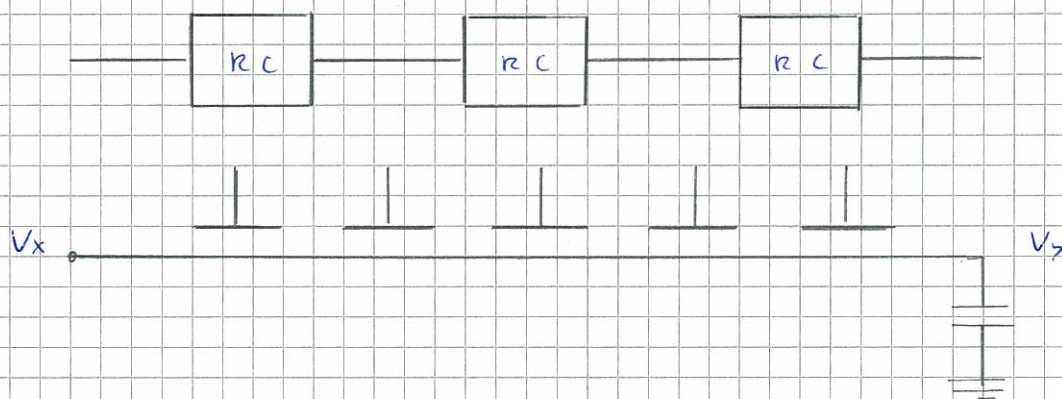
non però una soglia.

Caratteristica del pass transistor.

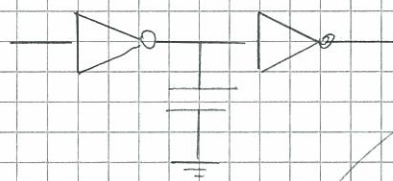


Non ci sono tratti a pendenza minore di 1. Quindi questa porta ha un margine di immunità ai disturbi nullo (non c'è l'Ra). Questo è un problema, perché qualunque disturbo viene ripartato sull'uscita. Posso mettere qui tanto all'interno della rete di pass transistor porte con o altre porte con il loro margine di immunità ai disturbi che risolvono questo problema.

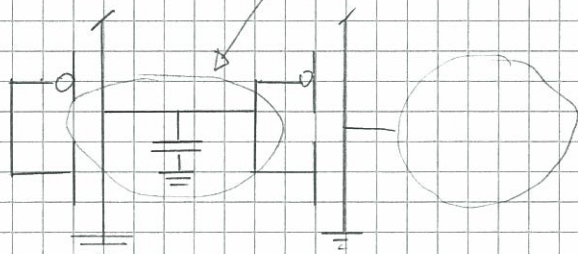
Tempi di propagazione

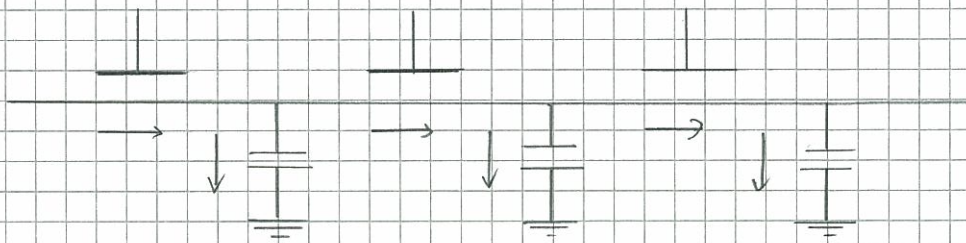


Non possiamo ragionare come abbiamo fatto fino ad ora. Perché



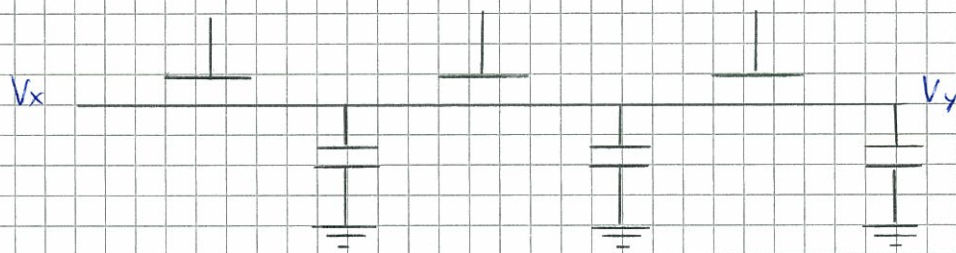
per valutare questo non mi interessa cosa collegherò qui. La calcolo una volta e poi sommo!





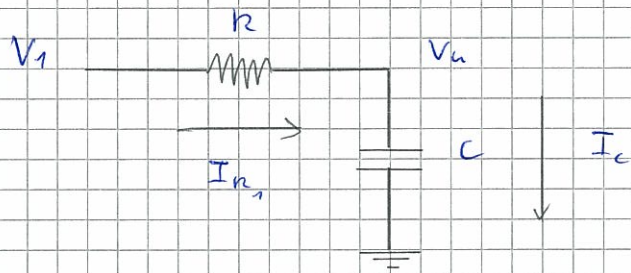
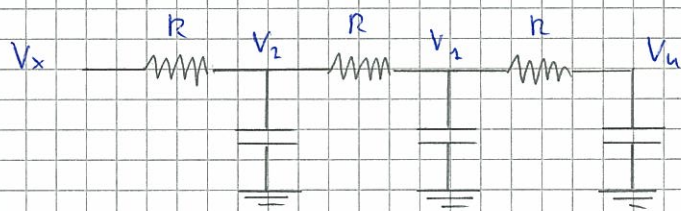
Qui non possiamo calcolare il tempo di propagazione di un pass transistor e poi sommarli, perché sono interdipendenti.

Anche in questo caso operiamo delle semplificazioni. Usare il modello del MOS e' complesso.



$I_{DS} = f(V_{DS})$ $\rightarrow$ diciamo che I_{DS} e' funzione di V_{DS} . Operiamo una linearizzazione $\leftarrow$ zione.
 $I_{DS} = K V_{DS}$

Sostituiamo i nostri transistori con resistenze. Quando il MOS e' acceso solo il MOS e' un canale: di fatto sto vedendo il canale come una resistenza. E' una forte approssimazione, ma mi da' un'idea di come variano i tempi di propagazione all'aumentare dei transistori.



$$\begin{cases} I_{n1} = I_c \\ I_{n1} = \frac{V_1 - V_u}{R} \\ I_c = C \frac{dV_u}{dt} \end{cases} \Rightarrow$$

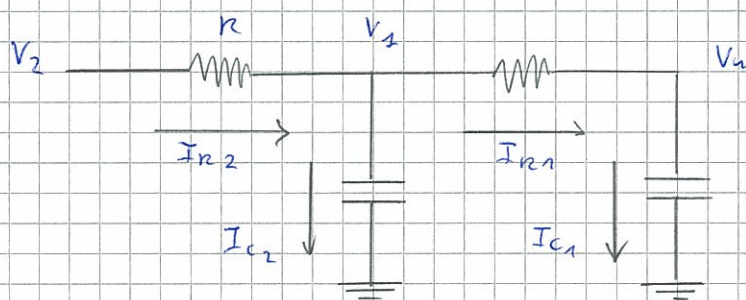
$$\frac{V_1 - V_u}{R} = C \frac{dV_u}{dt}$$

$$V_1 - V_u = RC \frac{dV_u}{dt}$$

$$V_u + RC \frac{dV_u}{dt} = V_1$$

$$V_u = A e^{-\frac{t}{RC}} + B$$

Supponiamo che V_1 sia un gradino



$$\begin{cases} I_{n2} = I_{c2} + I_{n1} \\ I_{n2} = \frac{V_2 - V_1}{R} \\ I_{c2} = C \frac{dV_1}{dt} \\ I_{c1} = I_{n1} = C \frac{dV_u}{dt} \end{cases}$$

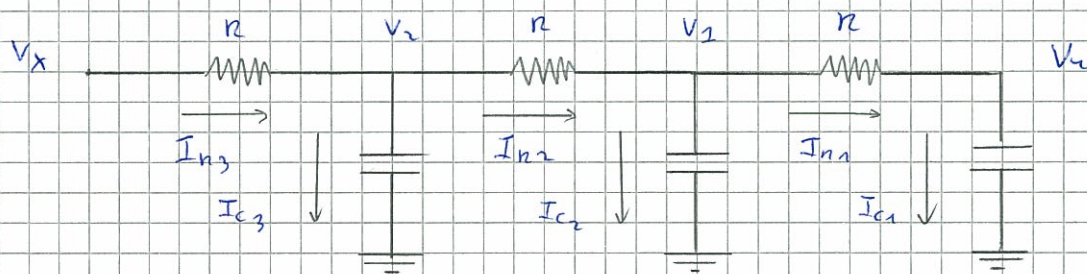
$$\frac{V_2 - V_1}{R} = C \frac{dV_1}{dt} + C \frac{dV_u}{dt}$$

$$\Rightarrow V_2 = V_1 + RC \frac{dV_1}{dt} + RC \frac{dV_u}{dt}$$

Voglio esprimere V_u in funz. di V_2 . Po V_1 l'ho ricavato prima (posso sostituire).

$$V_2 = V_u + RC \frac{dV_u}{dt} + RC \frac{d}{dt} \left(V_u + RC \frac{dV_u}{dt} \right) + RC \frac{dV_u}{dt} =$$

$$= V_u + 3RC \frac{dV_u}{dt}$$



$$I_{n3} = I_{n2} + I_{c3}$$

$$I_{n3} = \frac{V_x - V_2}{R}$$

$$I_{n2} = I_{n1} + I_{c2}$$

$$\frac{V_2 - V_1}{R} = I_{c2}$$

...

$$\frac{V_x - V_2}{R} = C \frac{dV_u}{dt} + C \frac{dV_1}{dt} + C \frac{dV_2}{dt}$$

$$V_x = V_u + 3RC \frac{dV_u}{dt} + RC \frac{dV_1}{dt} + RC \frac{d}{dt} \left(V_u + RC \frac{dV_u}{dt} \right) + RC \frac{d}{dt} \left(V_u + 3RC \frac{dV_u}{dt} \right)$$

$$V_x = V_u + 6RC \frac{dV_u}{dt}$$

above A e B non mi
interessano globali

Quindi all'incirca ricavato:

$$V_x = V_u + 6RC \frac{dV_u}{dt}$$

$$V_2 = V_u + 3RC \frac{dV_u}{dt}$$

$$V_1 = V_u + RC \frac{dV_u}{dt}$$

$$V_u = A e^{-\frac{t}{6RC}} + B$$

$$V_u = A e^{-\frac{t}{3RC}} + B$$

$$V_u = A e^{-\frac{t}{RC}} + B$$

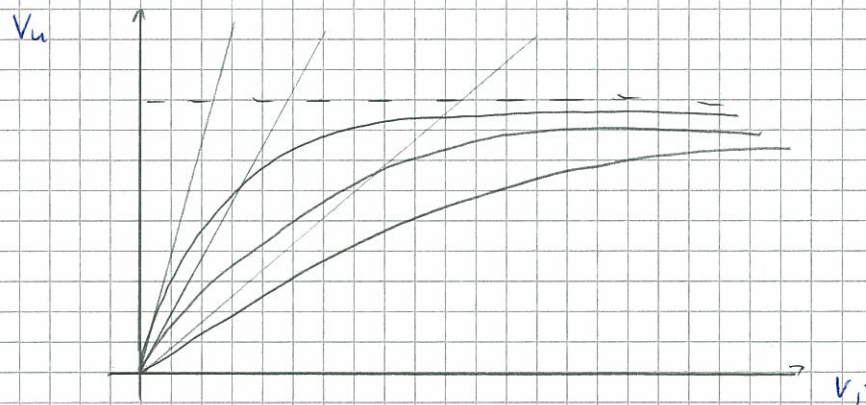
$$\tau = RC$$

$$V_u = A e^{-\frac{t}{6\tau}} + B$$

$$V_u = A e^{-\frac{t}{3\tau}} + B$$

$$V_u = A e^{-\frac{t}{\tau}} + B$$

Aumentando la costante di tempo i tempi di carica (e scarica) diventano più lunghi. Il tempo di propagazione (rappresentato dalla tangente nell'origine) è proporzionale alla costante di tempo.



↑ varia come

$$\tau = RC \frac{n(n+1)}{2}$$

dim:

$$n=1$$

$$\tau = RC$$

$$n=2$$

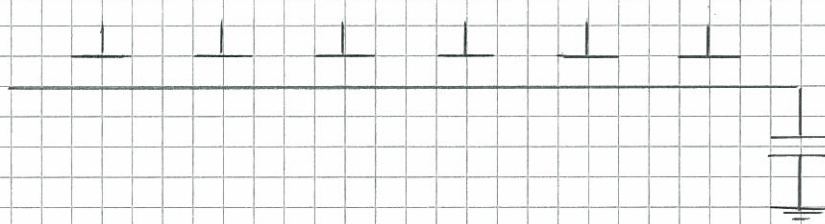
$$\tau = 3RC$$

$$n=3$$

$$\tau = 6RC$$

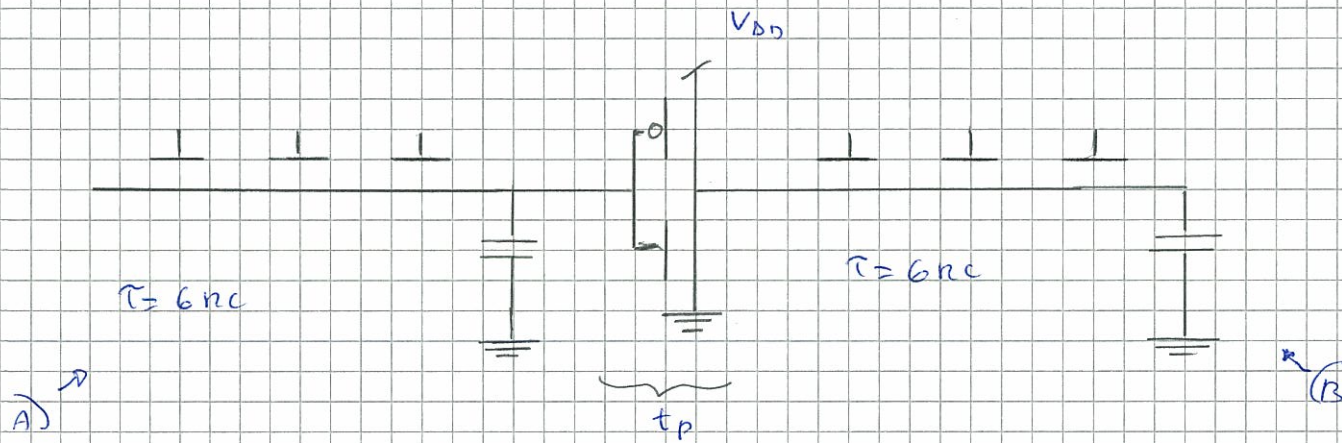
Quindi il tempo di propagazione dipende quadraticamente dal n° di pass transistor che mette in cascata (per i MOS in cascata c'è una dipendenza lineare).

Proviamo quindi a spezzare la rete inserendo in mezzo delle logiche CMOS. Cosa cambia?



$$\tau = 21 RC$$

Supponiamo di spezzare la catena in due gruppi da 3 inserendo in mezzo una logica CMOS.



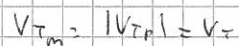
Le correnti in gioco qui non dipendono da questa parte del circuito.
 Posso sommare i tempi di propagazione

- A) qui c'è il segnale di ingresso che alimenta B e oltre
- B) " " l'alimentazione " " " "

$$6nC + t_p + 6nC \approx 12nC$$

Inoltre il CMOS migliora i margini di immunità ai disturbi logici
 che il ~~segnale~~ CMOS inverte il segnale, ma se voglio che ciò non accada
 mi basta inserire un altro invertitore.

Questo dispositivo funziona da buffer.

$\checkmark$ D D
$$I_0 = 100 \mu A$$

$\sigma = 67$ Tante e pari a $100 \mu A$ per valori di $R \leq 60 k\Omega$

$P = 3 \text{ mW}$

$$R_1 = R_2 = 2.5 \text{ k}\Omega$$
$$V_T = 0.8 \text{ V}$$
$$V_{DD} = 5V$$

Se varia R varia V_{DS}

Definiamo che D_3 è in SA , perché I_n è costante al variare di N .

173 SAT

6. DEVO für Einnahme in P.O

$$V_{D53} > V_{G53} - V_T$$

per mantenere la Gita.

$$V_{DS3} = V_{DD} - R I_0$$
$$V_{G53} = V_X$$

$$V_{DD} - R I_D > V_X - V_T$$

$$V_X < V_{DD} - R I_D + V_T$$

→ deve fare in modo che questo sia sempre

verificato affinché M3 in P.O.

Deve essere vero anche nel caso peggiore ($R = R_{max}$).

$$R = R_{max} = 40 \text{ k}\Omega$$

$$V_X = V_{DD} - R_{max} I_D + V_T =$$

$$= 5 - 40 \cdot 10^3 \cdot 100 \cdot 10^{-6} + 0.8 = 1.8 \text{ V}$$

$$I_D = I_{D3} = \frac{\beta_3}{2} (V_X - V_T)^2$$

$$\beta_3 = \frac{2 I_D}{(V_X - V_T)^2} = 0.2 \text{ mA/V}^2$$

$$I_{DD} = I_D + I_{D2}$$

$$P_{DD} = V_{DD} (I_D + I_{D2}) \quad \parallel \Rightarrow \quad I_{D2} = \frac{P_{DD}}{V_{DD}} - I_D$$

$$I_{D2} = I_{D2}$$

M2 in che regione lavora? Ha il gate collegato al drain ⇒ il transistor è in SAT. Infatti:

$$\text{per SAT} \quad V_{SD} > V_{SG} - V_T$$

$$V_{SD} = V_{SG}$$

$$0 > -V_T \quad \text{sempre verificata.}$$

Ma se ci sottoporremo l'espressione della corrente, quindi

$$I_{D2} = \frac{\beta_2}{2} (V_{SG2} - V_T)^2$$

$$V_{SG2} = V_S - V_G =$$

$$V_S = V_{DD} - R_2 I_{D2} \quad V_G = V_X$$

NB:
non dimenticarlo

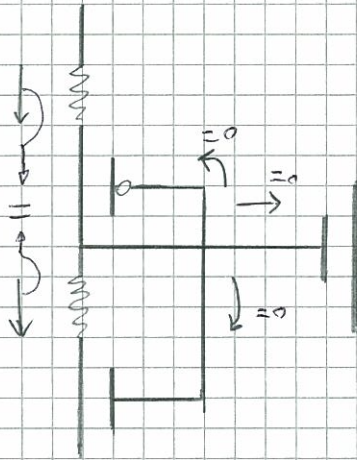
$$I_{D2} = \frac{\beta_2}{2} (V_{DD} - R_2 I_{D2} - V_X - V_T)^2$$

$$\beta_2 = \frac{2 I_{D2}}{V_{DD} - R_2 I_{D2} - V_X - V_T} = 0.576 \text{ mA/V}^2$$

R_1 im k regime? Dann müsste man pass die 2 prüfen

R_1 SAT μ

$$V_{DS1} > V_{GS1} - V_T$$



$$V_{DS1} = V_x - R_1 I_{D2}$$

$$V_{GS1} = V_x$$

$$V_x - R_1 I_{D2} > V_x - V_T$$

$$R_1 I_{D2} < V_T$$

$$NO \Rightarrow R_1 \text{ LIN}$$

$$\begin{cases} I_{D1} = \beta_1 \left[(V_{GS1} - V_T) V_{DS1} - \frac{V_{DS1}^2}{2} \right] = I_{D2} \\ V_{GS1} = V_x \\ V_{DS1} = V_x - R_1 I_{D2} \end{cases}$$

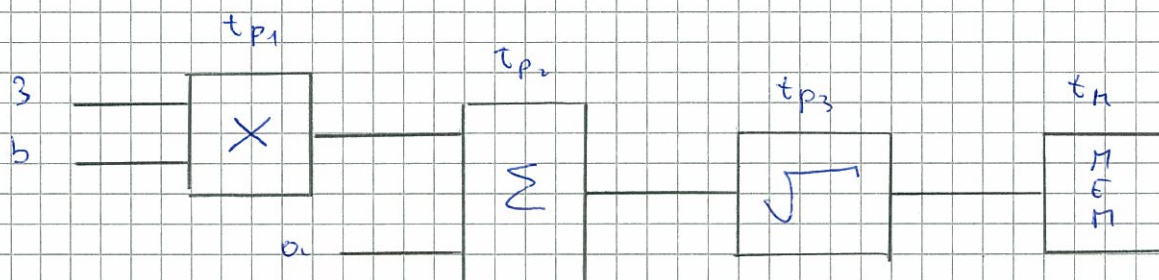
$$\Rightarrow \beta_1 = 1.2533 \text{ mA/V}^2$$

Definizione del periodo di clock

X ALAN

Quando realizziamo una rete combinatoria abbiamo molti termini in attesa da considerare. Es:

$$y = \sqrt{a + 3b}$$



Come definiamo l'ampiezza del periodo di clock? Di sicuro il clock mi deve permettere di elaborare tutti i dati prima di introdurre dei nuovi. Deve pertanto essere

$$T_{ck} > t_{p1} + t_{p2} + t_{p3} + t_{n}$$

Se supponiamo

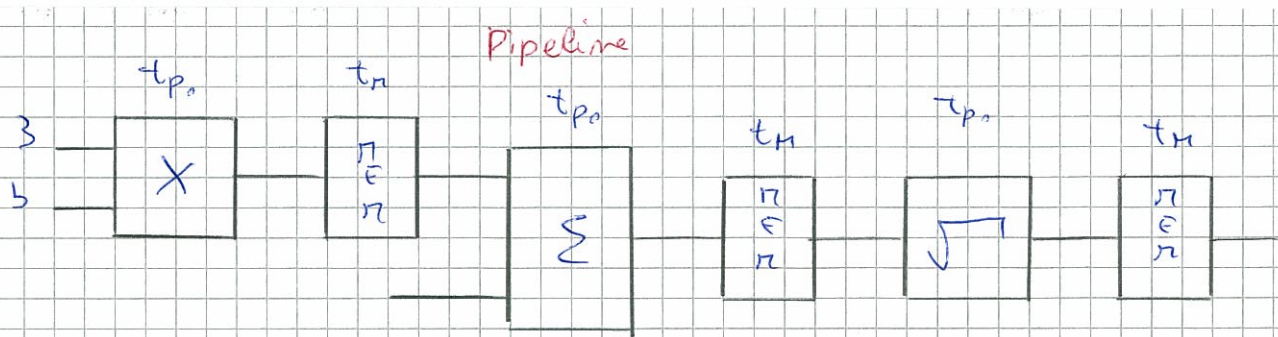
$$t_{p1} = t_{p2} = t_{p3} = t_{p0}$$

allora

$$T_{ck} > 3 t_{p0} + t_n$$

$$f_{ck} = \frac{1}{T_{ck}}$$

Questo impone anche un limite sulla frequenza di clock che non potrà essere superiore a un certo valore. Per migliorare le prestazioni posso usare tecnologie con prestazioni migliori o posso lavorare a livello circuitale ^(cambio gate). Altrimenti un'altra soluzione è lavorare a livello architetturale.



p

posso inserire nuovi dati anche se non è ancora finita la elaborazione del precedente. Non devo aspettare che il mio dato arrivi fino in fondo per inserire degli altri. Posso inserire nuovi dati a ogni ciclo di clock.

$$T_{ck} > t_{p0} + t_n$$

Quando il dato è arrivato a MEM questo è mantiene stabile quindi è poi elaborato mentre varia gli ingressi di X e questo elabora qualcos'altro.

Il limite di questa rete è che per avere a disposizione il primo dato devo attendere 3 periodi di clock. ~~Definizione~~ In seguito, riempita la mia catena, ho a disposizione un nuovo dato a ogni ciclo di clock.

TEMPO DI LATENZA = tempo necessario per vedere in uscita il primo dato.

Neglig

$$T_{ck} \gg t_{p0} + t_n$$

Se con poco lavoro a frequenze più alte posso spezzare ulteriormente la mia rete, dividendo ad es. il sommatore in due blocchi con in mezzo un elemento di memoria. Fino a quando posso spezzare? Chiamo

$$t_{prc} = t_{p1} + t_{p2} + t_{p3} = 3 t_{p0}$$

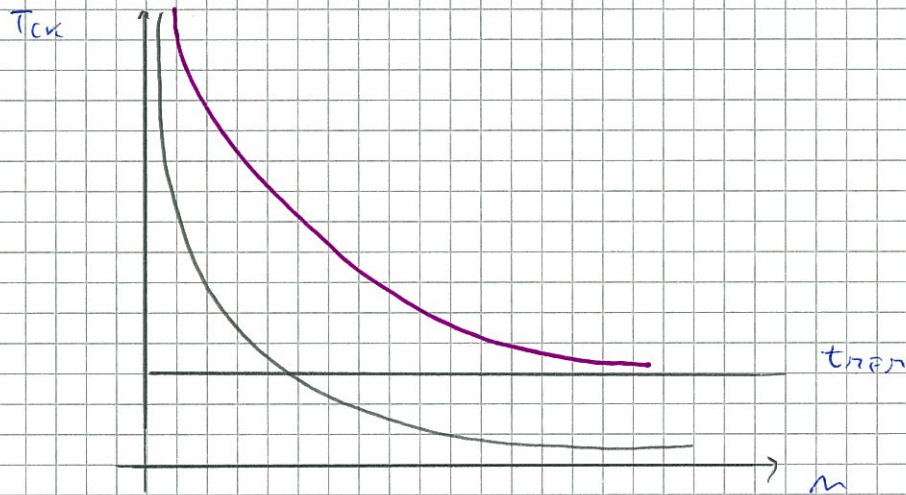
$$T_{ck} \gg \frac{t_{prc}}{n} + t_{mem}$$

n = numero di elementi combinatori (nel nostro caso 3).

Se in un grafico riportare il periodo di clock in funzione di n

$$T_{ck} \gg \frac{t_{pac}}{n} + t_{ren}$$

$\uparrow$ $\uparrow$
iperbole costante



All' aumentare di n ~~l'iperbole~~ T_{ck} tende a t_{ren} . Quindi anche se continuo ad aumentare n non miglioro praticamente più niente. Quindi ho vantaggi a frammentare la mia rete combinatoria fin tanto che

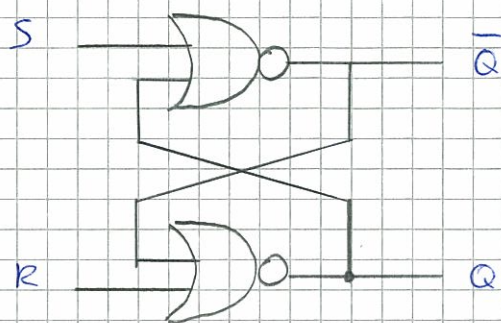
$$t_{po} \gg t_{ren}$$

Se continuo ad aumentare n tendo più complesso e ingombrante il circuito senza vantaggi in termini di frequenza di lavoro.

Quindi mi conviene concentrarmi sull' elemento di memoria per cercare di ridurre t_{ren} .

ELEMENTI DI MEMORIA

Latch



$$S \rightarrow \bar{Q}$$

S	R	Q	$\bar{Q}$
0	0	MEM	
0	1	0	1
1	0	1	0
1	1	0	0

proibita ($Q = \bar{Q}$)

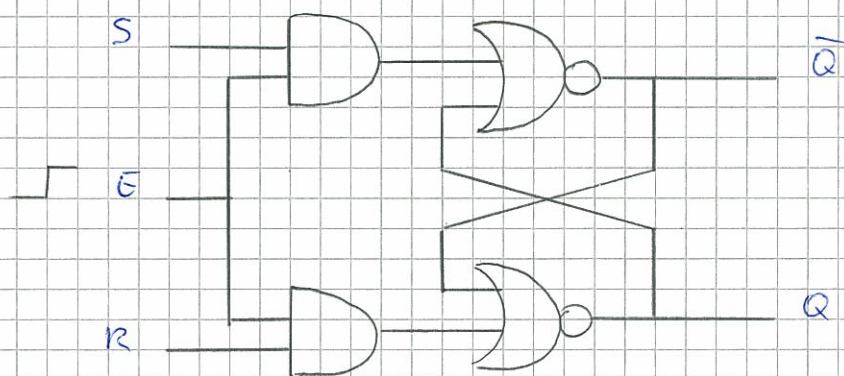
Non

a	b	y
0	0	1
0	1	0
1	0	0
1	1	0

È una rete asincrona che non dipende da nessun segnale di enable.

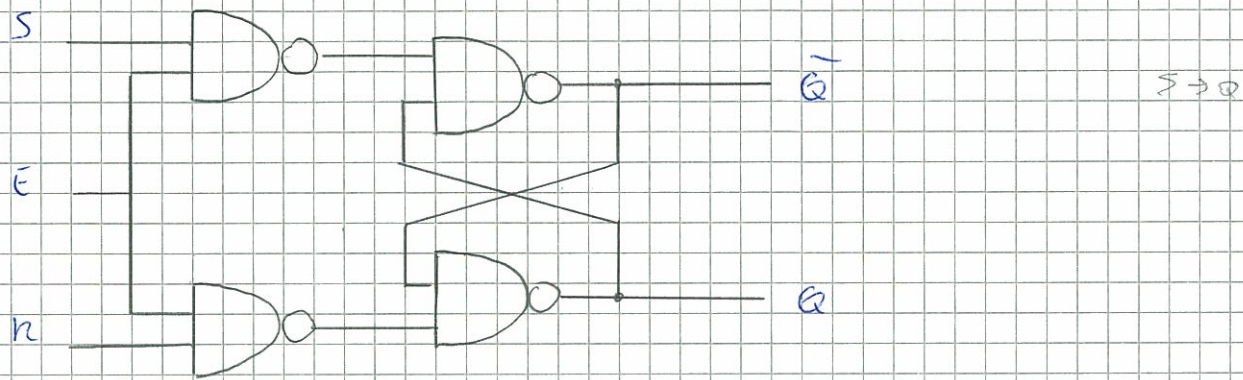
p-latch

Posso pensare ad un latch attivo, ad es., sul fronte di salita del segnale di clock.



"p" sta per "positive"

Ma posso usare anche dei NAND.

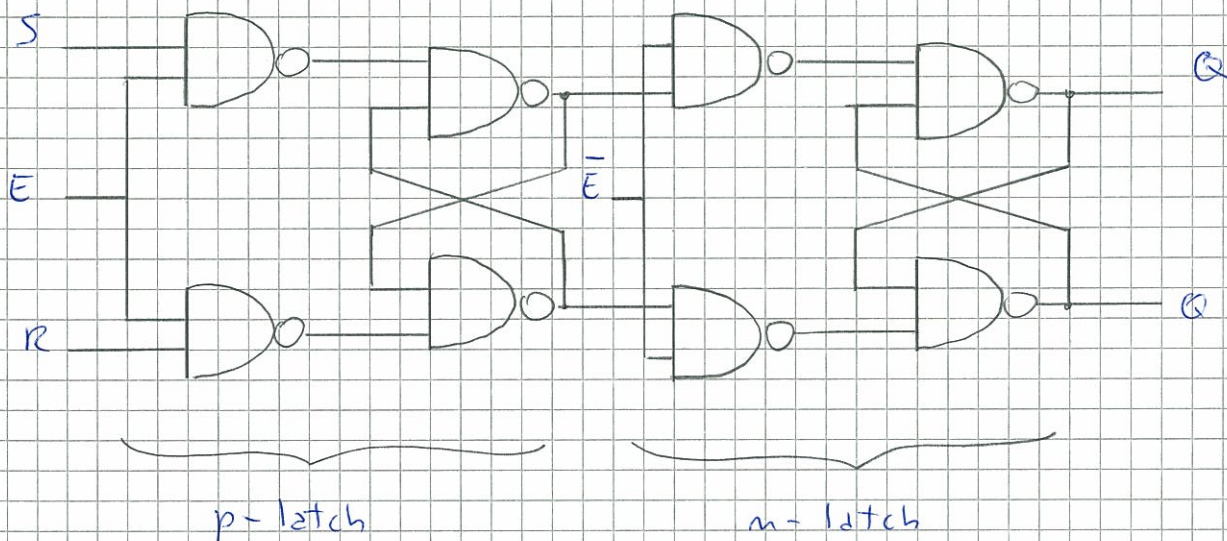


È ancora sincrono, perché nel momento in cui $E=1$ l'uscita è disponibile non appena l'elaborazione è finita. E varia gli ingressi quando $E=1$ l'uscita può variare.

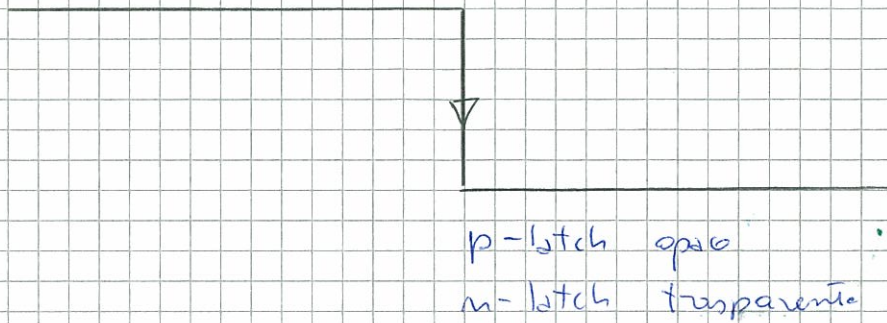
Ma a me interessano tutti i momenti, in cui posso sapere quando andare a leggere i dati. Voglio sapere in quale istante preleva il dato corretto in uscita.

Flip-flop SR

Posso mettere in cascata un FF attivo sul fronte di salita del clock e uno attivo sul fronte di discesa.



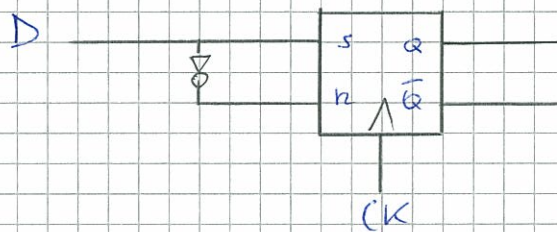
p-latch attivo t_{asp} .
 n-latch opaco



Preleva il dato sul fronte di discesa del clock.

Flip-flop D

Ma io preferirei un FF-D, che ha un solo ingresso.

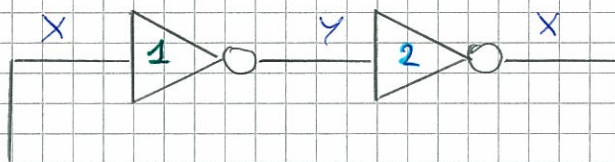


per realizzarlo in tecnologia CMOS ho bisogno di 36 mos.

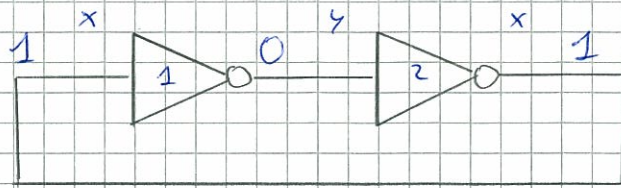
CMOS 36

Bistabile

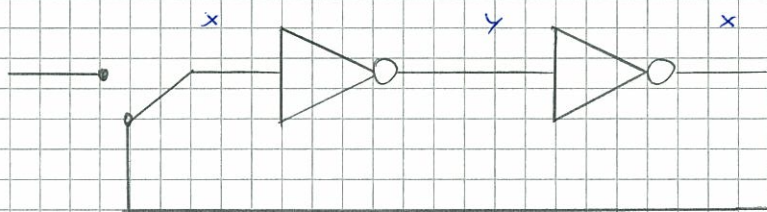
Consideriamo la casata di due invertitori e retroazioniamo l'uscita sull'ingresso.



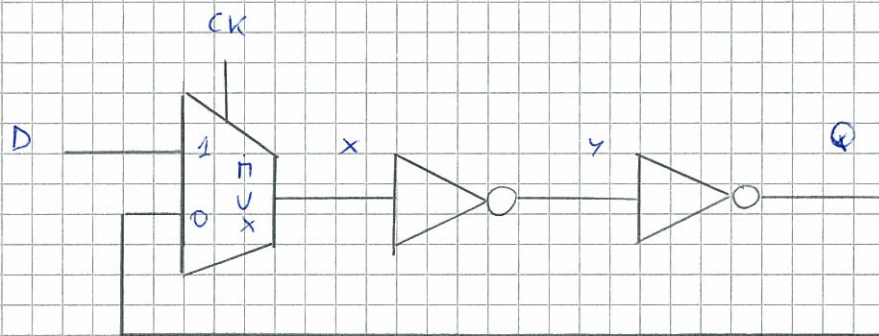
Possiamo usare le cristalline per memorizzare



Ma voglio poter cambiare il dato memorizzato. Uso un interruttore.



Ma l'interruttore è scomodo: uso un mux.



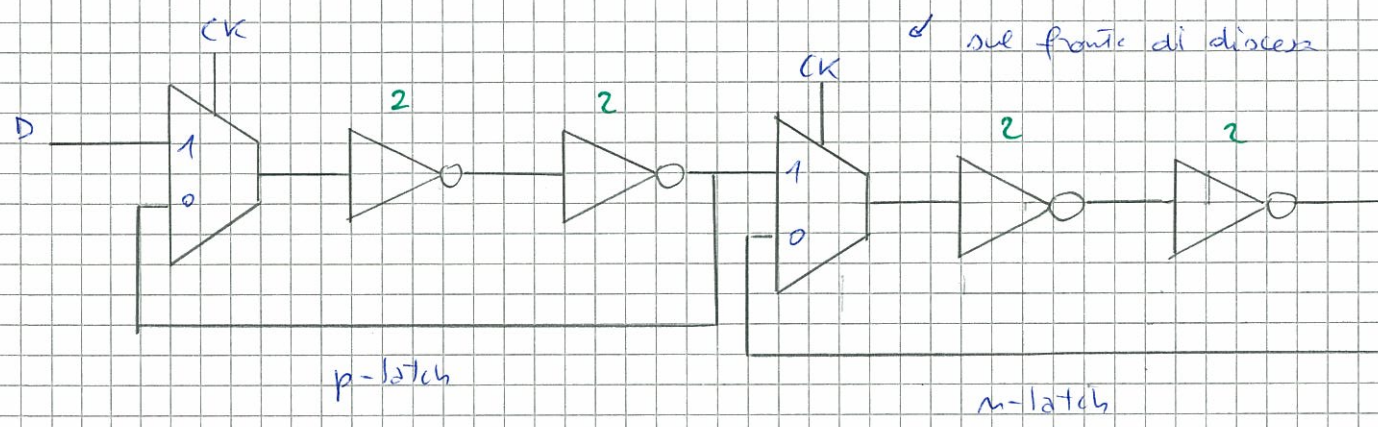
↙ p-latch

$CK=0$	$X=Q$	$Y=\overline{Q}$	HOLD	
$CK=1$	$X=D$	$Y=\overline{D}$	$Q=\overline{Y}=D$	EVALUATION

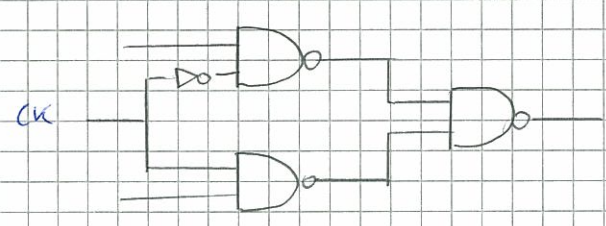
Ho costruito un p-latch

Se voglio realizzare il FF di prima devo mettere insieme p-latch e m-latch.

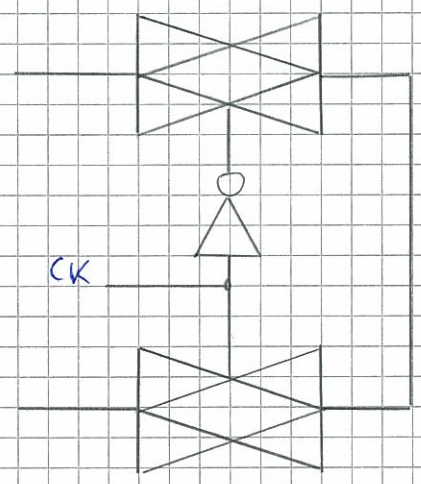
FF-D sincrono attivo
 ✓ sul fronte di discesa



e, per realizzare il rbs con cmos



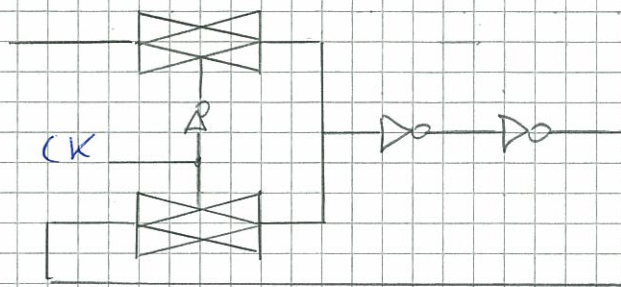
Più sembra una una logic e transmission gate, tanto più le dei CMOS che mi migliorano t_{p1} e NM



✓ MUX

$G+2$

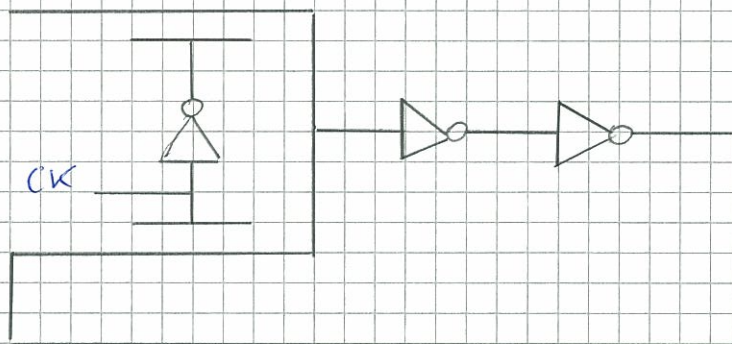
In totale per ogni latch



$$8 + 2 = 10$$

10 MOS per ogni latch

Ma mi conviene usare pass-transistor, tanto anche se perde una soglia poi ho l'inverter che mi rigenera il segnale.

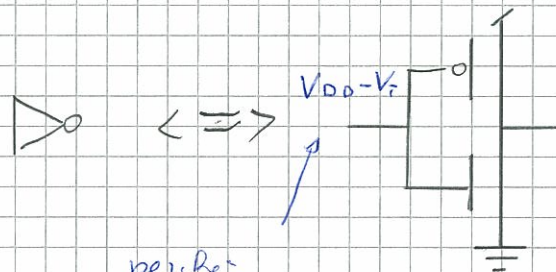


CK = 1 HOLD

CK = 0 EVAL

è attivo sul fronte di salita del clock $\rightarrow$ p-latch

Ci sono però dei problemi in condizioni dinamiche.

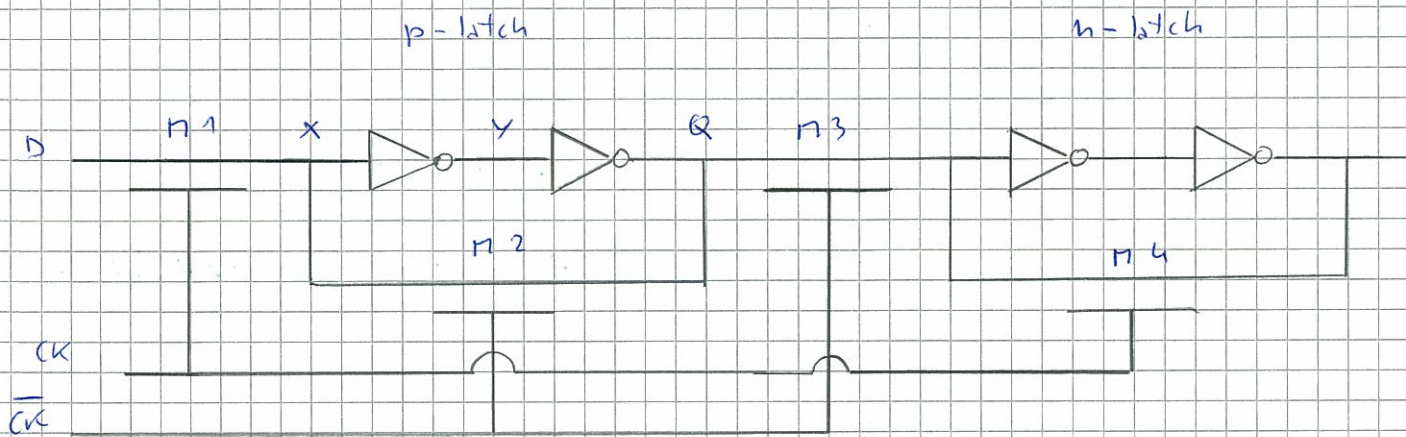


perché
prima ho un
pass-transistor

$$V_{GS, \text{eff}} = V_{DD} - V_T$$

$\downarrow$

Ci mette più
tempo a scaricare
il condensatore all'
uscita $\rightarrow$ più lento.



FF-D simulator

$$CK = 1 \quad \overline{CK} = 0$$

n1	ON	n3	OFF
n2	OFF	n4	ON

$$X = D$$

$$Y = \overline{D}$$

$$Q = \overline{Y} = D = X$$

$$CK = 0 \quad \overline{CK} = 1$$

n1	OFF	n3	ON
n2	ON	n4	OFF

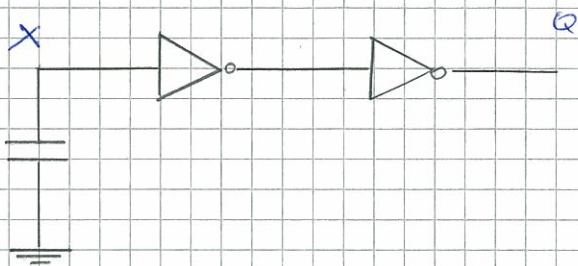
HOLD p-latch

$$X = Q$$

$$Y = \overline{X} = \overline{Q}$$

Supponiamo il clk M1 e M2 OFF

p-latch



alta impedenza (HI) $\Rightarrow x = \text{cost}$

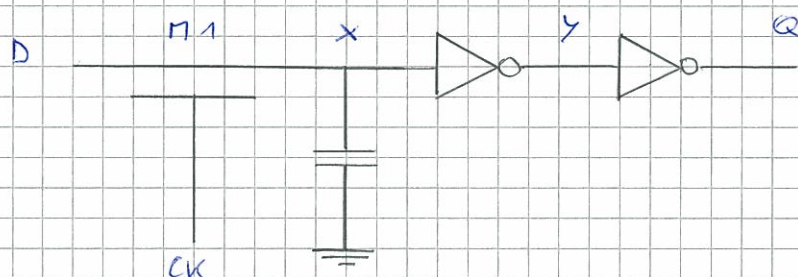
$$y = \bar{x}$$

$$Q = \bar{y} = \bar{\bar{x}} = x \quad \text{cost}$$

$\Rightarrow$ HOLD

Posso eliminare M2. Prima mi serve per mantenere il dato ma ora uso la capacità per memorizzare il dato.

p-latch



A p-latch DINAMICO

$$\text{CK} = 1$$

$$X = D$$

$$y = \bar{x} = \bar{D}$$

$$Q = \bar{y} = \bar{\bar{D}} = D$$

(perché questa volta sfrutto la presenza della capacità)

$$\text{CK} = 0$$

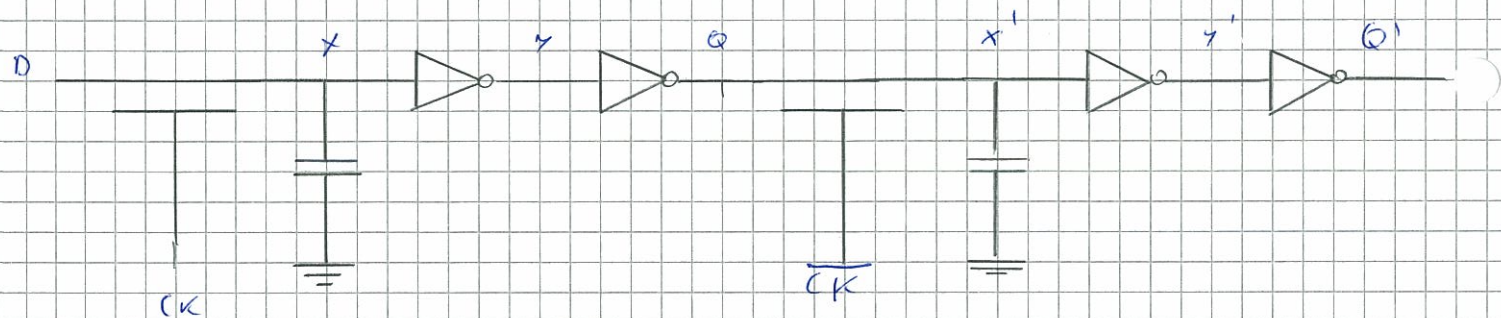
X H.I.

HOLD

$$Q = D$$

Q è uguale al p-latch precedente tranne ^{che} per il nodo in cui è memorizzato il dato (con un bistabile o con una capacità).

FF-D



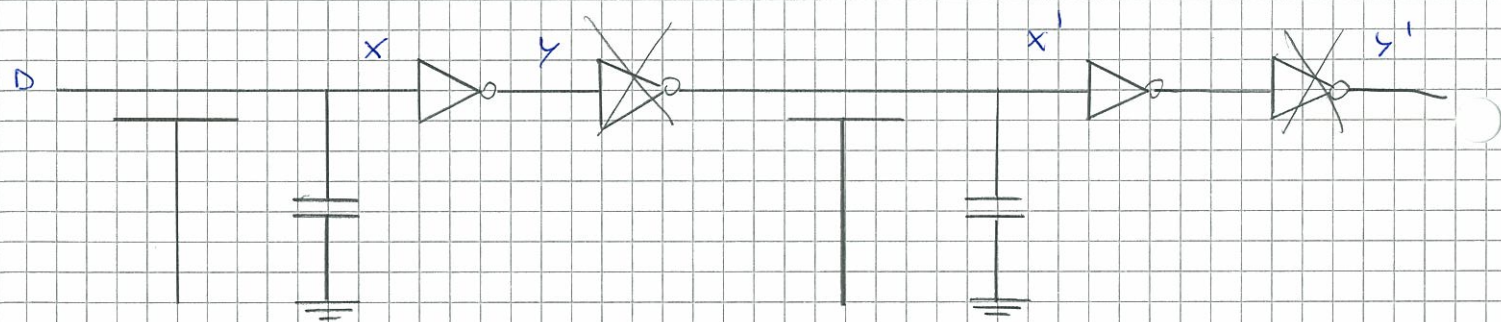
Un'altra differenza è che x mantiene l'alimentazione nel circuito di prima il dato rimane memorizzato all'infinito. Qui invece ci sono delle correnti di perdita, per cui per mantenere il dato ho bisogno di cicli di refresh.

RAM STATICHE $\rightarrow$ FF statici

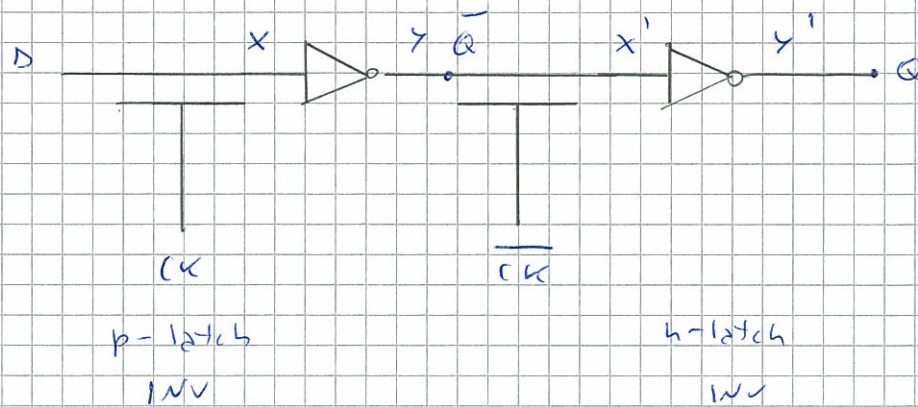
RAM DINAMICHE $\rightarrow$ FF dinamici

Si può permettere di eliminare due invertitori.

$$\begin{aligned} x &= D & y &= \bar{x} & Q &= \bar{y} = x = D \\ x' &= Q & y' &= \bar{x}' & Q' &= \bar{y}' = x' = Q \end{aligned} \Rightarrow Q' = Q = D$$

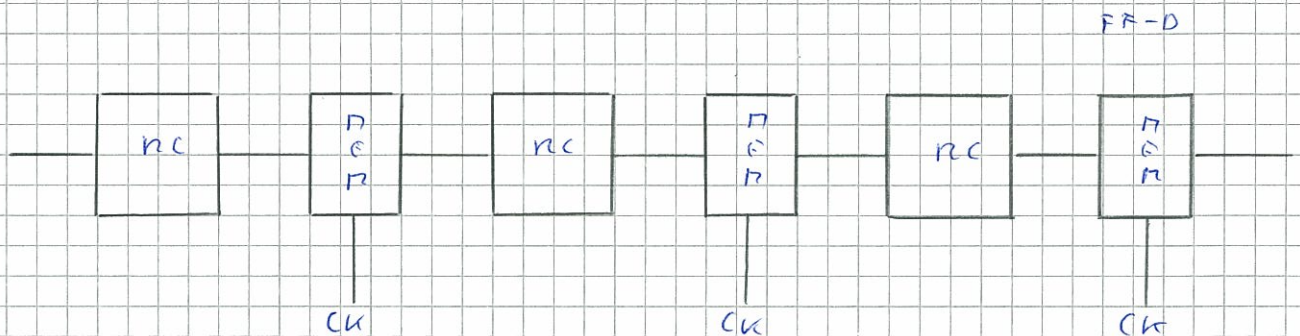


$$\begin{aligned} x &= D \\ y &= \bar{x} = \bar{D} = \bar{Q} \\ x' &= y = \bar{Q} \\ y' &= \bar{x}' = Q = D \end{aligned}$$



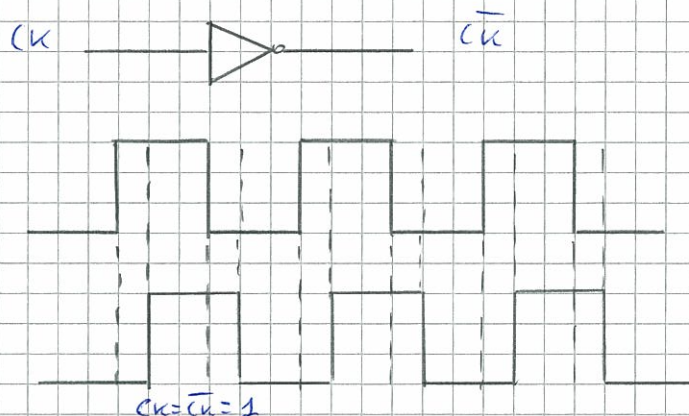
8 MOS

Torniamo alle pipeline di prima.



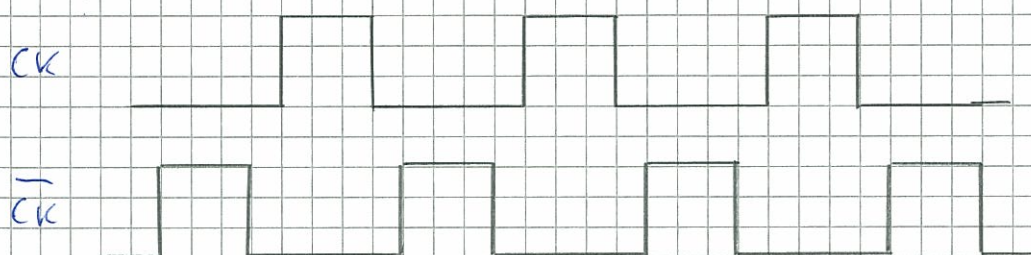
Sul fronte di discesa i dati vengono memorizzati nel p-latch, nel fronte di salita il dato viene reso disponibile in uscita. È importante che queste due fasi siano separate, altrimenti i FF sarebbero trasparenti a variazioni degli ingressi. È importante che non succeda mai che p-latch e n-latch siano attivi contemporaneamente.

Se CK e $\bar{CK}$ sono sincronizzati da CK e $\bar{CK}$, che in termini ideali sono l'uno l'opposto dell'altro, ma nella realtà possono essere sfasati. Quindi potrei avere problemi di clock-skew.



Ci sono degli istanti in cui il PF è trasparente: il dato in ingresso è tras subito in uscita senza aspettare il successivo periodo di clock.

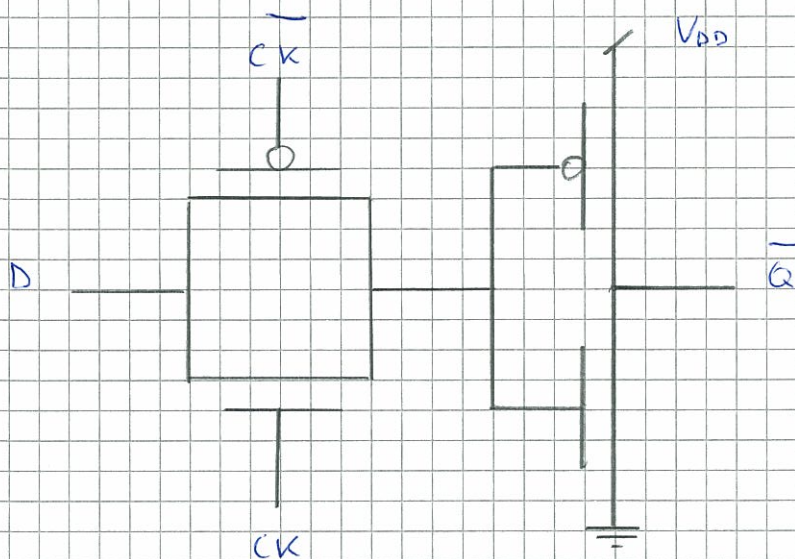
Quindi non posso generare $\overline{CK}$ negando CK. Devo creare due segnali distinti, non derivabili l'uno dall'altro. Ho bisogno di due circuiti di generazione con periodi diversi. Il duty-cycle non può essere del 50%, perché devo evitare la situazione ($CK=1$ v $\overline{CK}=1$ (o $CK=0$ v $\overline{CK}=0$ non crea problemi).



Se la pipeline diventa trasparente siamo in una condizione detta di RACE CONDITION

C^2 MOS

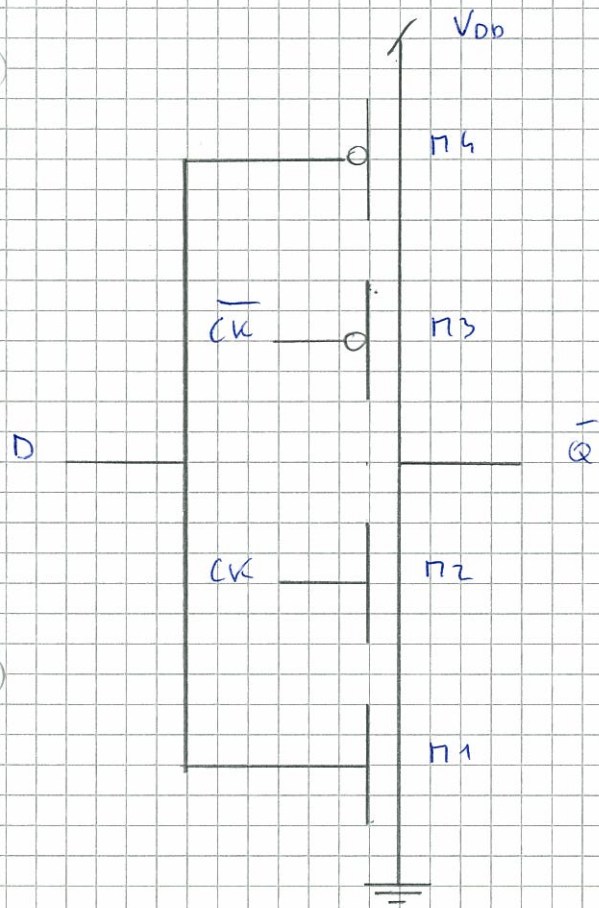
Supponiamo di usare un transmission gate anziché un pass-transistor.



Anche questo soffre di clock skew. Posso però pensare di spostare i nodi del transmission gate direttamente sulla rete di pull-up

e pull-down dell'invertitore.

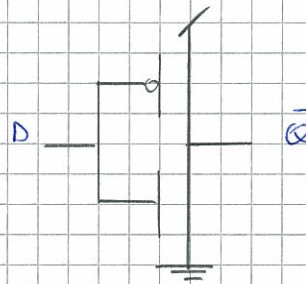
o p-latch CMOS



è invertente:
quando sono in
EVAL si comporta
come un invertitore
CMOS

$CK=1$
 $\overline{CK}=0$

$n2$ ON
 $n3$ OFF



EVAL

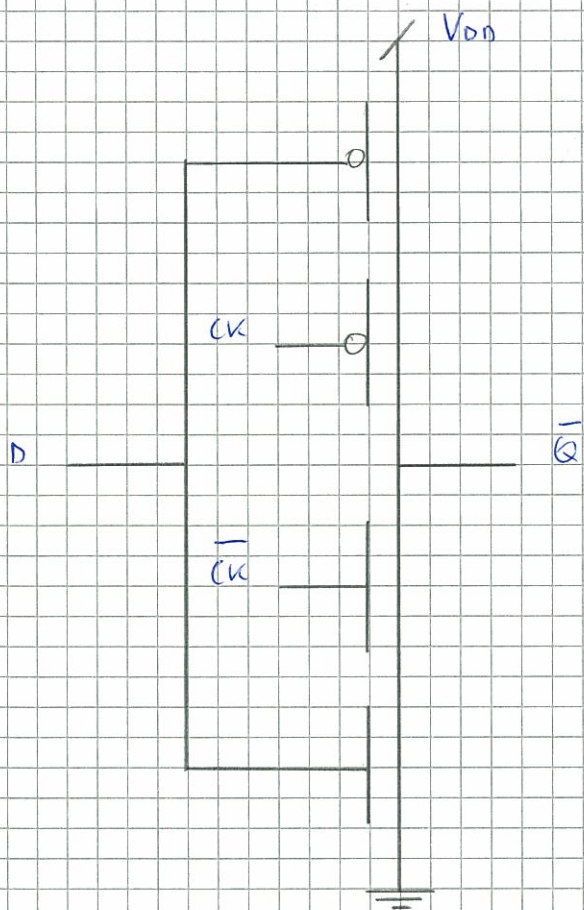
$CK=0$
 $\overline{CK}=1$

$n2$ OFF
 $n3$ OFF

$\overline{Q}$ H.I.

HOLD

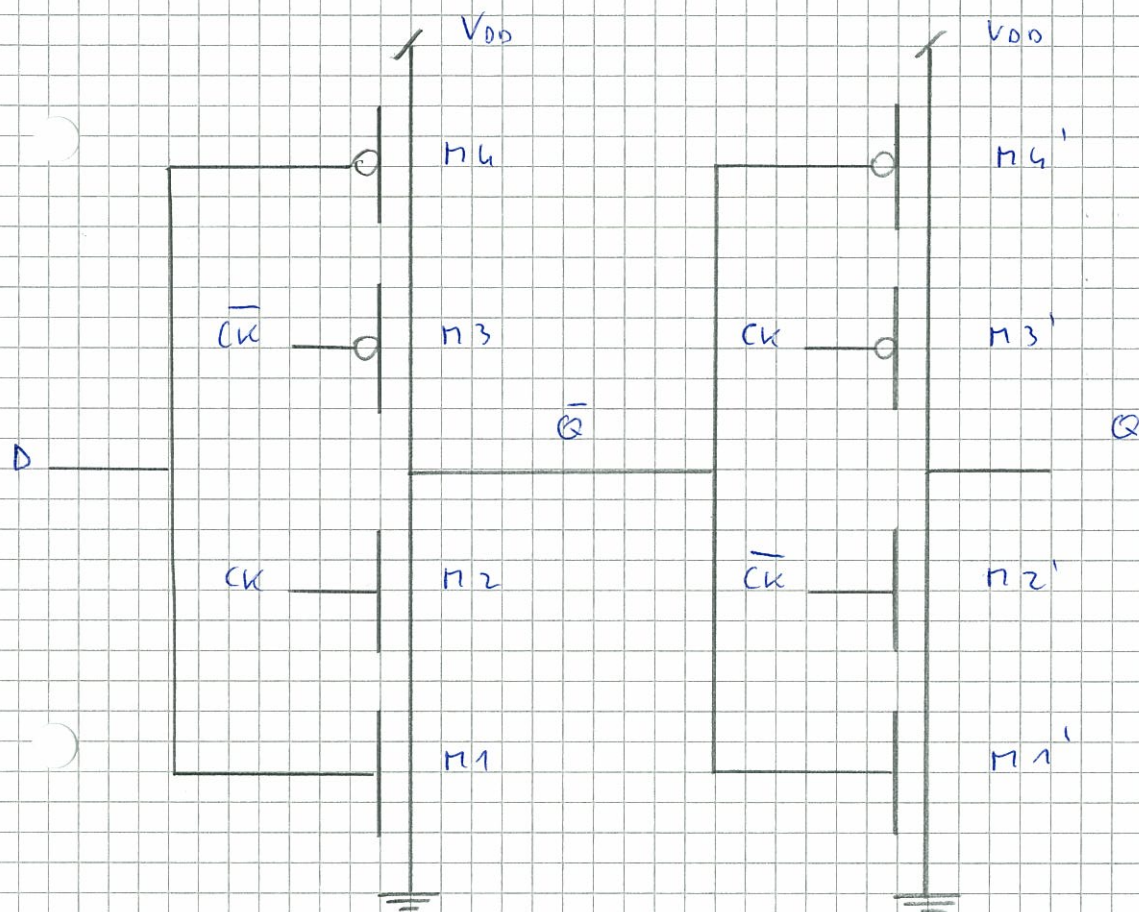
h-latch c^2 ror



Ho semplicemente cambiato CK e $\overline{CK}$.

$CK=0$
 $\overline{CK}=1$ EVAL

$CK=1$
 $\overline{CK}=0$ HOLD



è immune a clock skew?

$$CK = \overline{CK} = 1$$

n_2	n_2'	ON			
n_3	n_3'	OFF	PV	PV'	OFF

$D=1$	n_1	ON			
$\overline{Q}=0$	n_1'	OFF	PD	ON	
Q HI			PD'	OFF	

↑

anche in presenza di clock skew un $D=1$ non influenza l'uscita.
 e un $D=0$?

$D=0$	n_1	OFF	PD	OFF
$\overline{Q}$ H.I.				

Anche in questo caso $D=0$ non influenza l'uscita.

e se $CK = \overline{CK} = 0$?

$$CK = \overline{CK} = 0$$

$n2$ $n2'$ OFF PD PD' OFF

$D=0$ $n4$ ON $n3$ ON PU ON

$\overline{Q}=1$ $n4'$ OFF PD' OFF

Q H.I.

$D=1$ $n4$ OFF PU PD OFF

$\overline{Q}$ H.I.

Quindi in presenza di clock skew il FF-D C^2 ROS non è trasparente.

Una pipeline che utilizza FF C^2 ROS è detta

PIPELINE SPCL

SPCL = Single phase Clock Logic

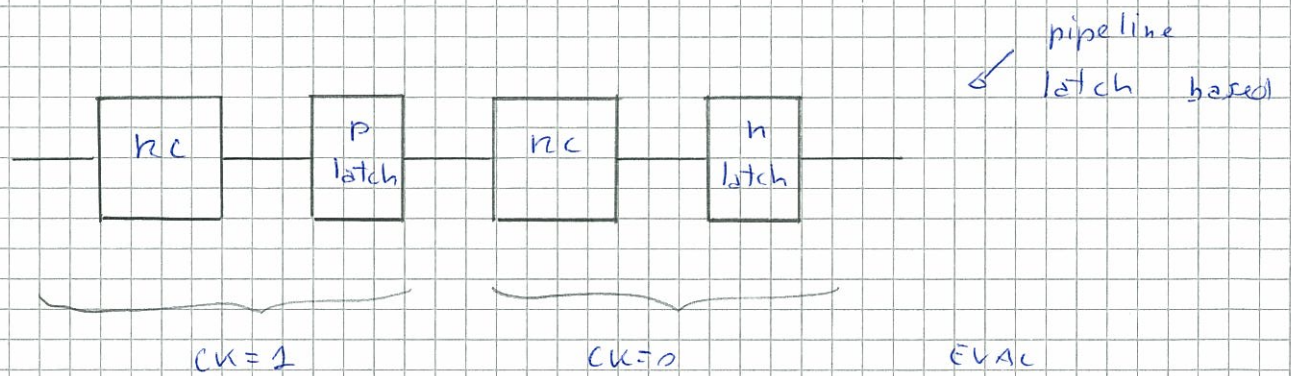
Per ottenere $\overline{CK}$ posso invertire CK , perché il clock skew non influenza il comportamento della mia pipeline.

Pipeline Latch Based

Riprendiamo la pipeline.



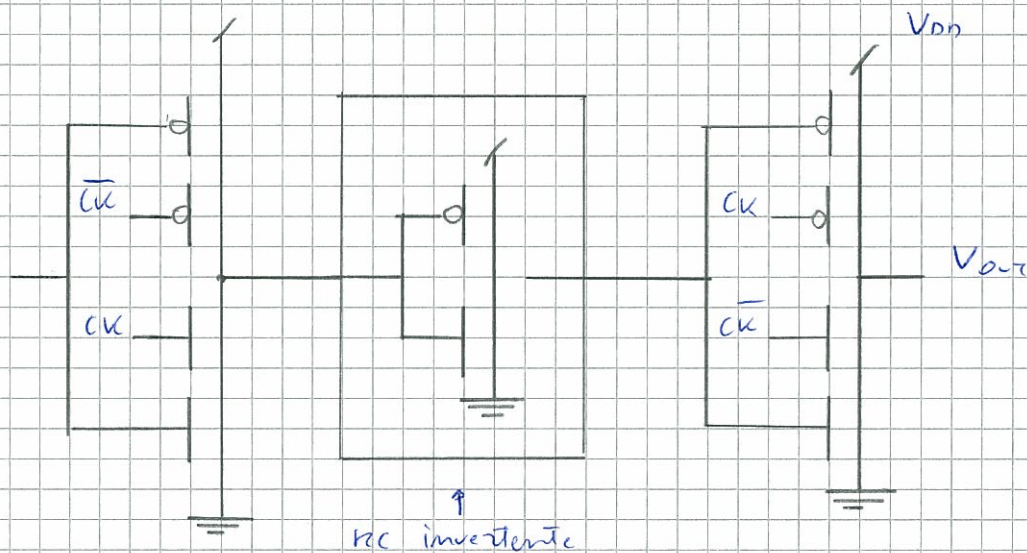
Posso pensare di ridurre le dimensioni della pipeline utilizzando solo latch al posto dei FF (dati da latch in configurazione master-slave). Ma non posso usare solo p-latch o solo n-latch, altrimenti la pipeline diventa trasparente al dato. Devo alternarli.



Quando un latch è in valutazione l'altro è in hold.

Sto andando avanti per semiperiodi $\Rightarrow$ questo approccio è anche più veloce del precedente.

È ancora immune dal clock skew? Dipende dalla rete combinatoria.



(la più semplice è un
↑ invertente)

Supponiamo che in mezzo ci sia una rete combinatoria invertente.

Cosa significa?

NAND

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

AND

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

~~A=1~~ B=0 $\Rightarrow$ 1 $\Rightarrow$ 1 $\Rightarrow$ 0

A=0 B=0 $\Rightarrow$ 1 non cambia output

Quando varia l'ingresso l'uscita del NAND commuta o rimane costante: il NAND è invertente.

Per l'AND al variare dell'ingresso l'uscita o non cambia o cambia come l'ingresso.

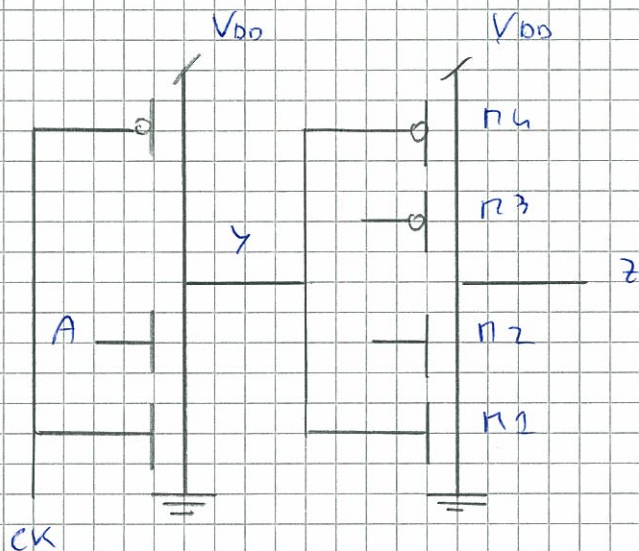
Reti invertenti:

ingresso	uscita
0 $\rightarrow$ 1	costante oppure 1 $\rightarrow$ 0
1 $\rightarrow$ 0	" " 0 $\rightarrow$ 1

Questo discorso lo posso applicare a reti comunque complesse.

Se R_c NC in mezzo c'è non 1VV le faccio di avere tutti e due i PV e tutti e due i PD accesi mi impedisce di avere transizioni se invece NC 1VV allora anche con entrambi i PV e i PD spenti posso avere delle transizioni, perché R_c NC mi inverte il segnale in uscita del primo latch $\Rightarrow$ i due latch possono fare la stessa transizione.

Chiedo un'eccezione a tutto questo. Potremmo avere una NC dinamica (es. invertitore PF).



$$CK = \overline{CK} = 0$$

$$Y = 1 \quad Z \text{ H.I.}$$

$$CK = \overline{CK} = 1$$

$$Y \quad 1 \rightarrow 0 \quad \leftarrow \text{è l'unica transizione che può fare}$$

M1 OFF

PD OFF

PU OFF

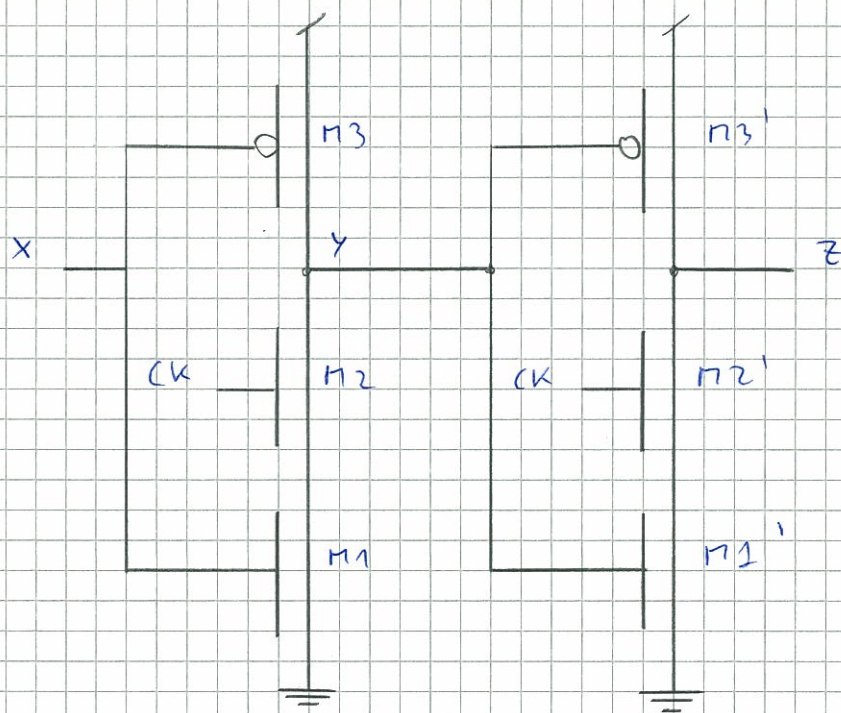
Z H.I. $\Rightarrow$ la propagazione non avviene

Il fatto di aver soggetto al clock anche le porte combinatorie mi rende il circuito immune dal clock skew.

Reti TSPCL (True Single Phase Clock Logic)

Lo svantaggio di questo circuito è che richiede CK e $\overline{CK}$: mi devo portare in giro per il circuito due segnali di clock.

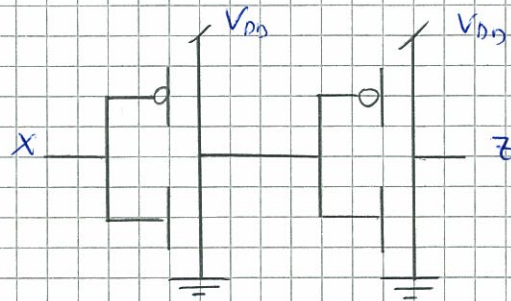
Vorrei arrivare a latch e FF con un solo segnale di clock.



$CK = 1$

$M2, M2'$ ON

EVAL



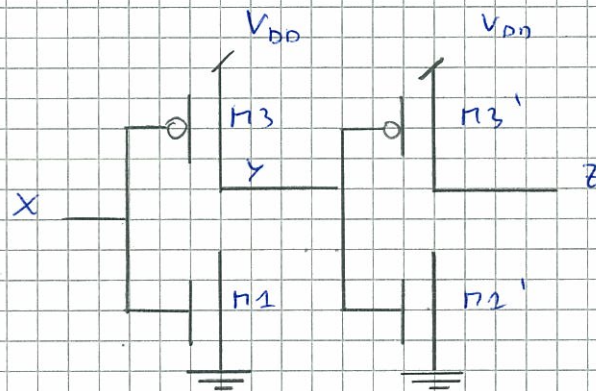
$CK = 0$

$M2, M2'$ OFF

$X \ 1 \rightarrow 0$

$M1 \quad ON \rightarrow OFF$

$M3 \quad OFF \rightarrow ON$



$Y \ 0 \rightarrow 1$

$M3' \quad ON \rightarrow OFF$

$M1' \quad OFF \rightarrow ON$

$Z \ H.I.$

↑

perché Z è connesso al sub PU, ed essendo PU OFF Z non può cambiare.
 Z mantiene il dato acquisito nella fase precedente.

Studiamo l'altra Transizione ($X \ 0 \rightarrow 1$)

$X \ 0 \rightarrow 1$

$M3 \quad ON \rightarrow OFF$

$M1 \quad OFF \rightarrow ON$

$Y \ H.I.$

↑

La transizione di X non si propaga oltre

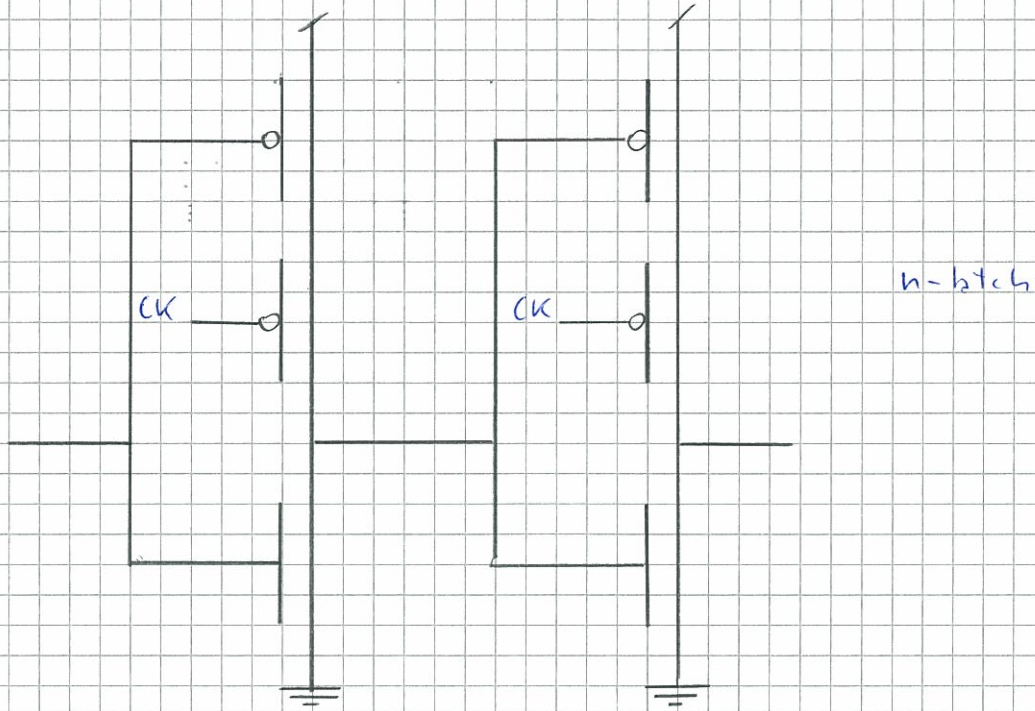
Questo circuito è un latch, perché

$$CK = 1 \quad EVAL$$

$CK = 0$ HOLD

Attenzione: è un circuito a due stadi ma è sempre un Bitch.

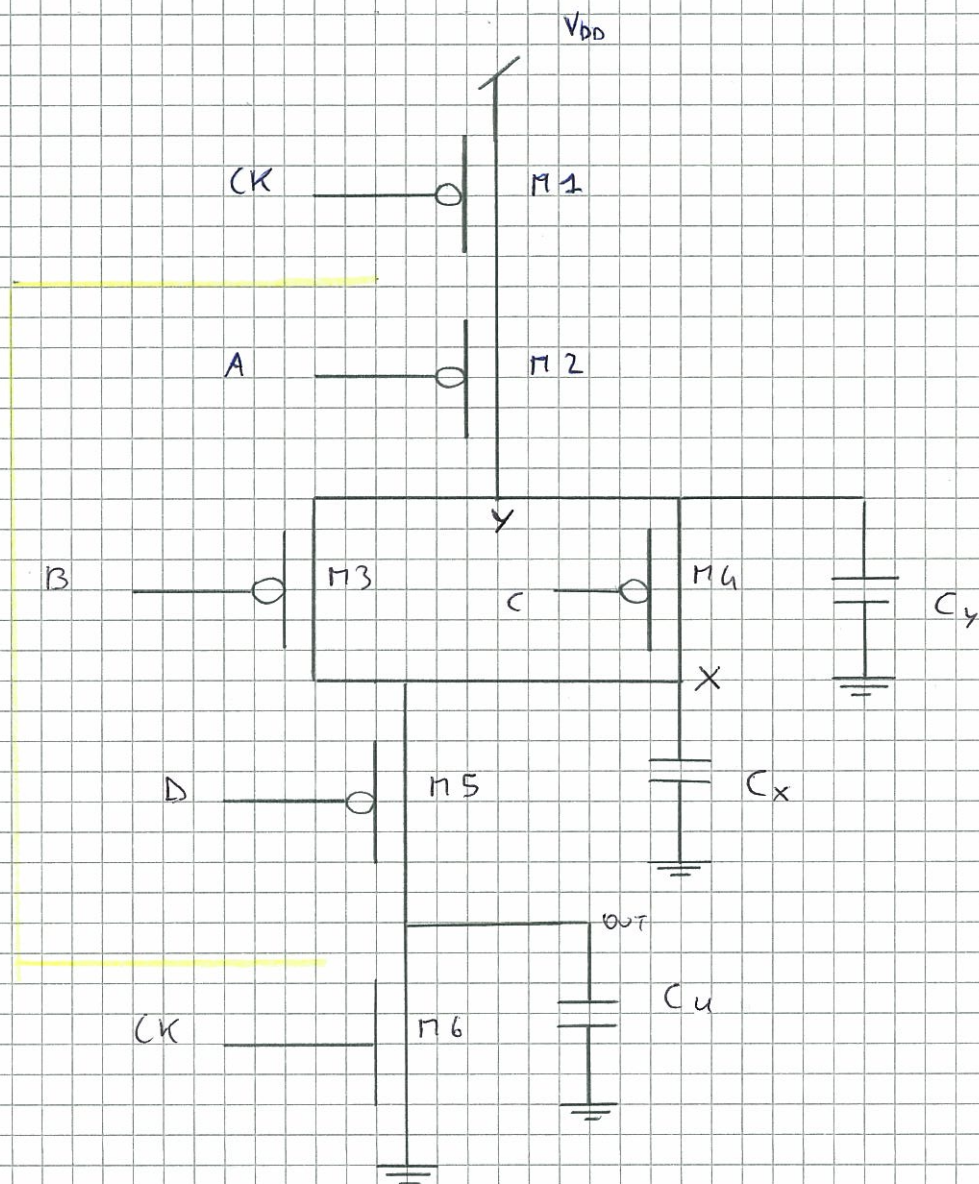
One face is m - labeled? Sports is not at clock and pu.



Questo LTR è più complesso, perché ha più rotte e due stadi (più ritardi), ma ha un solo segnale di clock.

Questi patch sono non invertenti.

esercizio

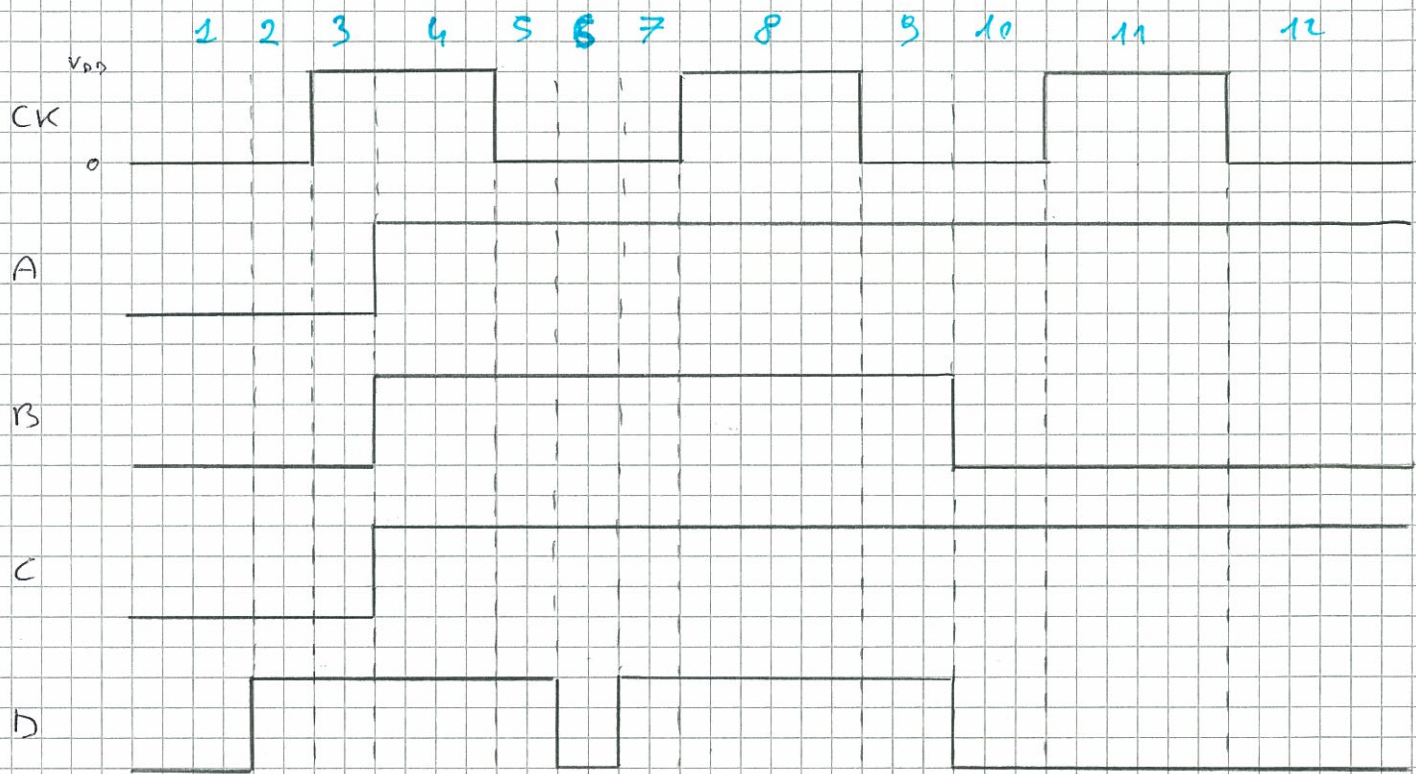


β_n, β_p

$V_{tn} = |V_{tp}| = V_T$

I) Si determini la funzione logica svolta dal circuito.

(Nota: è una rete PE con la logica sulla parte di pull)



II) Supponendo che i segnali abbiano l'andamento in figura si calcoli V_u alla fine di ogni transizione. Si supponga che le transizioni avvengano solo dopo che V_u ha raggiunto il valore di regime.

I) Il CK attualmente non lo considero. Infatti, non mi influenza il funzionamento della rete. Mi serve capire cosa fa V_u . Il CK mi dice solo quando è attivo.

$$CK = 0$$

$$Y = 1$$

$D = 0$ e $[B = 0 \text{ o } C = 0]$ e $A = 0$ altrimenti Y non può essere zero.
 $(M5 \text{ on e } [M3 \text{ on o } M4 \text{ on}] \text{ e } M2 \text{ on})$

CMOT

$$NAND \quad Y = \overline{A \cdot B}$$

$$pu \quad Y = 1 \quad A \cdot B = 0 \quad A = 0 \text{ e } B = 0$$

$$NOR \quad Y = \overline{A + B}$$

$$pu \quad Y = 1 \quad A + B = 0 \quad A = 0 \text{ e } B = 0$$

$D=0$ e $[B=0 \text{ o } C=0]$ e $A=1$

$D + BC + A$

$Y = D + BC + A$ questa è la funzione che svolge il mio circuito.

per $CK=0$ sono in fase di voluttazione degli ingressi (l'uscita dipende da A, B, C, D)

II)

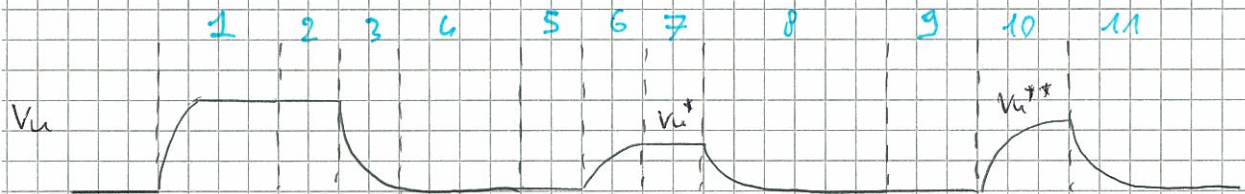
1 $CK=0$ M1 ON M6 OFF PD OFF

Prima ci sarà sicuramente stato una fase $CK=1$ M1 OFF M6 ON, quindi l'uscita inizierà da un valore basso.

la situazione del PV dipende da ABCD.

M2 ON M3 ON M4 ON M5 ON

uscita V_u alta $V_u = V_{DD}$ $V_x = V_y = 0$

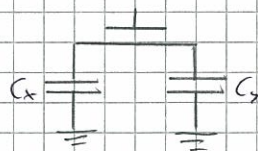


2 $D=1$ M5 OFF M6 OFF
PU OFF PD OFF

H.I. $\Rightarrow V_u$ rimane costante a V_{DD} $V_x = V_y = V_{DD}$

3-6 $CK=1$ M1 OFF M6 ON
PU OFF PD ON

Indipendentemente da ciò che fanno gli ingressi l'uscita va bassa. x e y sono isolati da massa e V_{DD} ma collegati tra loro da un circuito con



rimangono $V_x = V_y = V_{DD}$

5 CK=0 M2 OFF
PU OFF

H.I. $\Rightarrow V_u = 0$

Nelle fasi precedenti i nodi X e Y a regime erano a ...

CK=0 M6 OFF M1 ON
M2, M3, M4, M5 OFF

H.I. $\Rightarrow V_u = 0$

V_x, V_y H.I. $\Rightarrow V_x = V_y = V_{DD}$

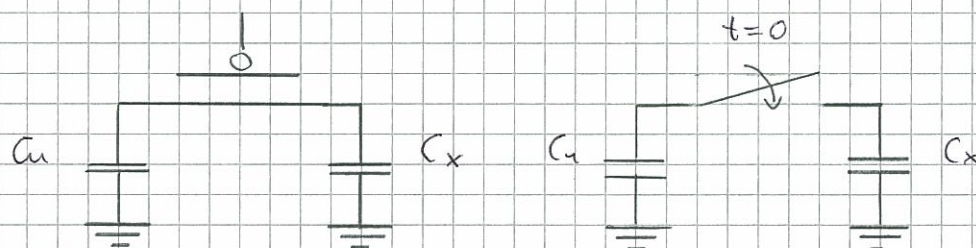
6 M1 ON

M2, M3, M4 OFF (perché A=B=C=1)

M5 ON (D $V_a = 0$)

M6 OFF

M5 ON



$t < 0$

$V_x = V_{DD}$

$$Q_x^- = C_x V_{DD}$$

$V_u = 0$

$$Q_u^- = C_u \cdot 0 = 0$$

$t \rightarrow \infty$ (il + indica che siamo in $t > 0$)

$$Q_x^+ = C_x V_x$$

$$Q_u^+ = C_u V_u$$

Da a regime $V_x = V_u$

Deve poi valere il principio di conservazione della carica.

$$Q^- = Q^+$$

$$Q_x^- + Q_u^- = Q_x^+ + Q_u^+$$

$$C_x V_{DD} + 0 = V_u (C_x + C_u) \Rightarrow V_u^* = \frac{C_x}{C_x + C_u} V_{DD}$$

V_u doveva essere H.I., ma a causa delle capacità parassite &

V_u sale un po'.

$$V_y = V_{DD} \quad V_x = V_u^*$$

7 V_u HI. $V_u = V_u^*$
 V_y HI $V_y = V_{DD}$
 V_x HI. $V_x = V_u^*$

8 $V_u \rightarrow 0$

$M2, M3, M4, M5$ OFF $\rightarrow$ V_x HI $V_x = V_u^*$
 V_y HI $V_y = V_{DD}$

9 $CK = 0$

$M1$ ON $M6$ OFF

$A=B=C=D=1 \Rightarrow M2, M3, M4, M5$ OFF

$V_u = 0$ HI.

$V_x = V_u^*$ HI.

$V_y = V_{DD}$ HI.

10 $CK = 0$

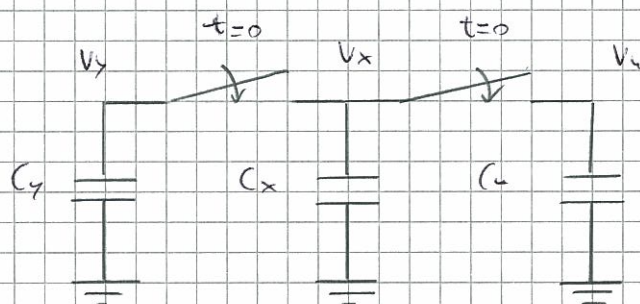
$B=0$ $D=0$

$M3, M3$ ON

$M2$ OFF

$M1$ ON

$M6$ OFF



$t < 0$

$Q_y^- = C_y V_y^- = C_y V_{DD}$

$Q_x^- = C_x V_x^- = C_x V_u^*$

$Q_u^- = C_u V_u^- = C_u \cdot 0 = 0$

$t > 0$

$V_x = V_y = V_u$

$Q_x^+ = C_x V_u$

$Q_y^+ = C_y V_u$

$Q_u^+ = C_u V_u$

Vale sempre il principio di Conservazione della carica

$$Q^- = Q^+$$

$$C_y V_{DD} + C_u V_u^* + 0 = (C_x + C_y + C_u) V_u \Rightarrow V_u^{**} = \frac{C_y V_{DD} + C_x V_u^*}{C_y + C_x + C_u}$$

11

$$CK=1$$

$$V_u \rightarrow 0$$

$$M6 \text{ ON}$$

$$V_u = 0$$

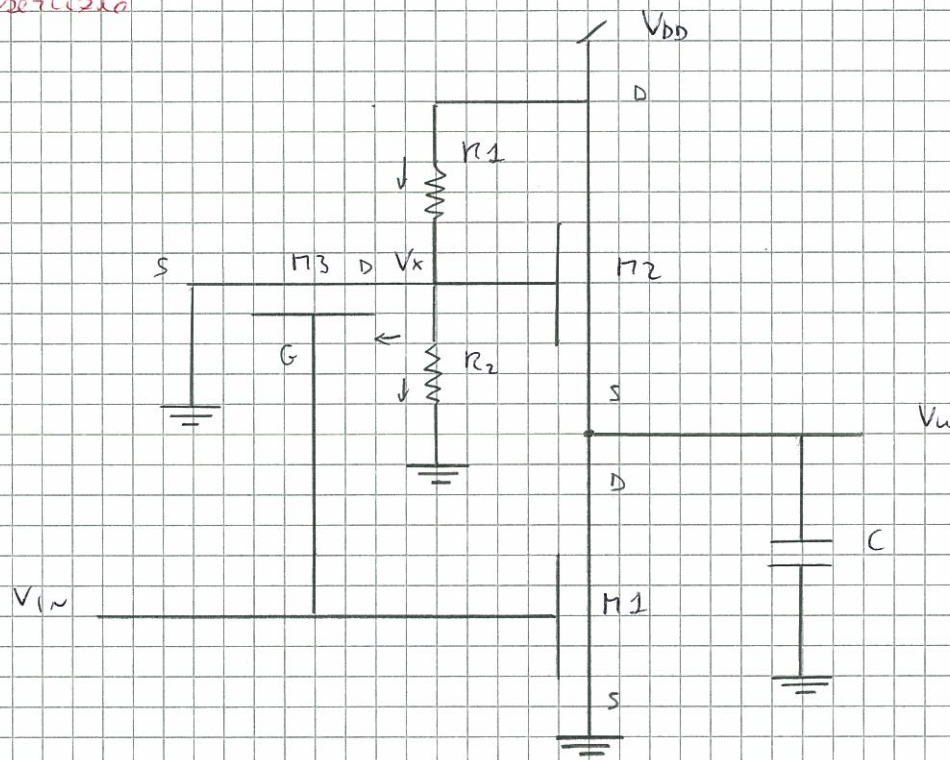
$$M5 \text{ ON}$$

$$V_x = 0$$

$$M3 \text{ ON}$$

$$V_z = 0$$

Esercizio



$$V_T = 0.6 \text{ V}$$

$$V_{DD} = 3.5 \text{ V}$$

$$\beta_m = 1 \text{ mA/V}^2$$

$$t < 0 \quad V_i = V_{DD}$$

$$t > 0 \quad V_i = 0$$

Calcolare t_{rise} (tempo affinché V_{out} vada dal 10% al 90% della sua escursione logica).

Innanzitutto dobbiamo capire il funzionamento del circuito e il valore dell'uscita.

$$\bullet \quad t < 0 \quad V_i = V_{DD}$$

$$M1 \text{ e } M3 \text{ ON}$$

$$M3 \text{ SAT o LIN?}$$

$$H_p: M3 \text{ LIN}$$

$$I_{DS_{LIN3}} = \beta_m \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] = \beta_m \left[(V_i - V_T) V_x - \frac{V_x^2}{2} \right]$$

V_{DD}

$$\begin{cases} I_{DS3} = I_{R1} - I_{R2} \\ I_{R1} = \frac{V_{DD} - V_x}{R_1} \\ I_{R2} = \frac{V_x}{R_2} \end{cases}$$

$$\beta_m \left[(V_{DD} - V_T) V_x - \frac{V_x^2}{2} \right] = \frac{V_{DD} - V_x}{R_1} - \frac{V_x}{R_2}$$

risolvendo

$$V_x = \begin{cases} 1.683 \text{ V} \\ 8.317 \text{ V} \end{cases} \quad \text{N.A. perché } > V_{DD}$$

$$V_x = 1.683 \text{ V}$$

Avendo fatto l'Hp M3 LIN.

$$V_{DS} < V_{GS} - V_T$$

$$V_x < V_{DD} - V_T < 3.5 - 0.6 = 2.9 \text{ V} \quad \text{vero} \Rightarrow \text{M3 LIN} \quad \text{OK}$$

M2 ON o OFF?

$$\text{M2 ON se } V_{GS2} > V_T$$

$$V_x - V_u > V_T$$

$$V_u < V_x - V_T = 1.083 \text{ V}$$

Hp M2 ON SAT o LIN

$$\text{M2 SAT se } V_{DS} > V_{GS} - V_T$$

$$V_{DD} - V_u > V_x - V_u - V_T$$

$$V_x < V_{DD} + V_T \quad \text{nicuramente verificata}$$

⇓

SE M2 è acceso e' SAT

M1 SAT. LIN?

M1 SAT $\propto V_{DS} > V_{GS} - V_T$

$$V_u > V_{DD} - V_T$$

Ma V_u non può essere $> V_{DD} - V_T$ (vedi nota a carico saturato)

1)

M1 LIN

$$I_{D2} = I_{D1}$$

$$\frac{\beta_n}{2} (V_{GS2} - V_T)^2 = \beta_n \left[(V_{GS1} - V_T) V_{DS1} - \frac{V_{DS1}^2}{2} \right]$$

$$\frac{\beta_n}{2} (V_x - V_u - V_T)^2 = \beta_n \left[(V_{DD} - V_T) V_u - \frac{V_u^2}{2} \right]$$

Svolgendo i calcoli

$$V_u = \begin{cases} 3.33 \text{ V} & \text{N.A perché } > V_{DD} \\ 0.153 \text{ V} \end{cases}$$

$$V_u = 0.153 \text{ V}$$

L'Hp M2 on e' corretta.

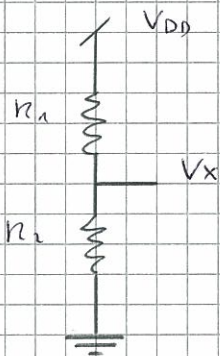
$t \rightarrow \infty$

$$V_i = 0$$

M1 OFF

M3 OFF

V_x



NB.

$$\frac{V_{DD}}{R_1 + R_2} = \frac{V_x}{R_2}$$

$$\Rightarrow V_x = 3.33 \text{ V}$$

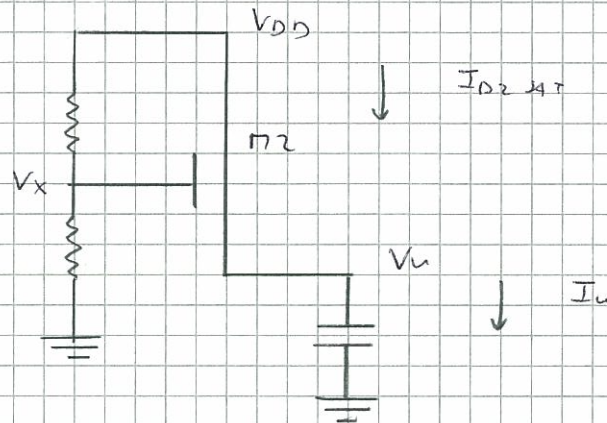
M2 ON se

$$V_{GS} > V_T$$

$$V_X - V_U > V_T$$

$$V_U < V_X - V_T$$

$$V_U < 3.33 - 0.6 = 2.733 \text{ V}$$



Si carica finché M2 non si spegne. Il valore max di V_U è 2.733 V

M2, μ è acceso e SAT, infatti

M2 SAT se

$$V_{DS} > V_{GS} - V_T$$

$$V_{DD} - V_U > V_X - V_U - V_T$$

$$V_X < V_{DD} + V_T$$

$$V_{LU} = 0.153 \text{ V}$$

$$V_{HU} = 2.733 \text{ V}$$



$$V_U^* = V_L + 0.1 (V_H - V_L) = 0.411 \text{ V} \quad (10\% \text{ excursion (pic.)})$$

$$V_U^{**} = V_L + 0.9 (V_H - V_L) = 2.475 \text{ V}$$

$$I_{D2 \text{ SAT}} = I_U$$

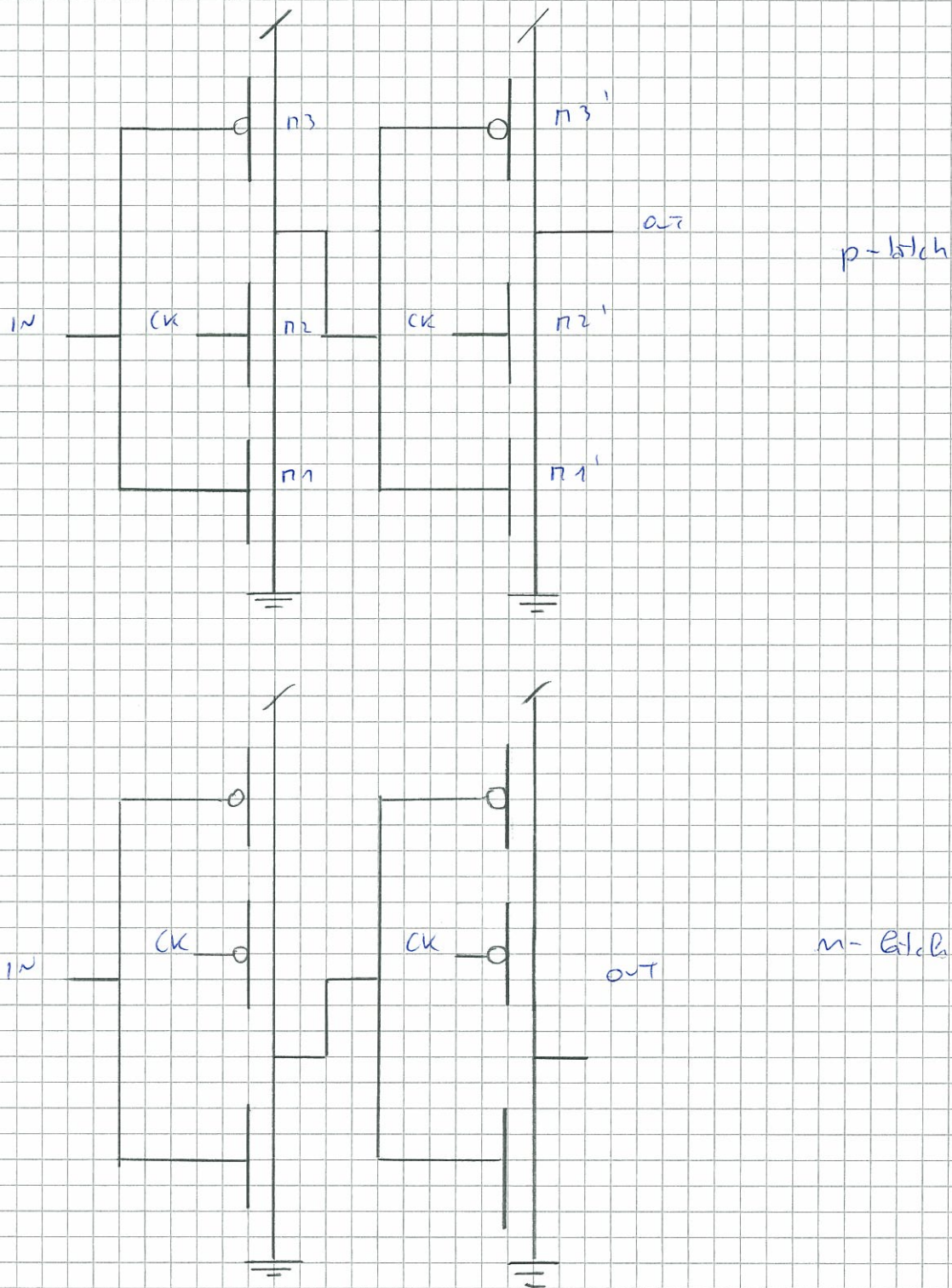
$$\frac{\beta_n}{2} \left(\underset{3.33 \text{ V}}{V_X - V_U - V_T} \right)^2 = C \frac{dV_U}{dt}$$

$$dt = \frac{2C}{\beta_m} \frac{dV_u}{(V_x - V_u - V_T)^2}$$

$$\int_0^{t_{rise}} dt = \frac{2C}{\beta_m} \int_{V_u^*}^{V_u^{**}} \frac{dV_u}{(V_x - V_u - V_T)^2}$$

$$t_{rise} = 34.4 \text{ ms}$$

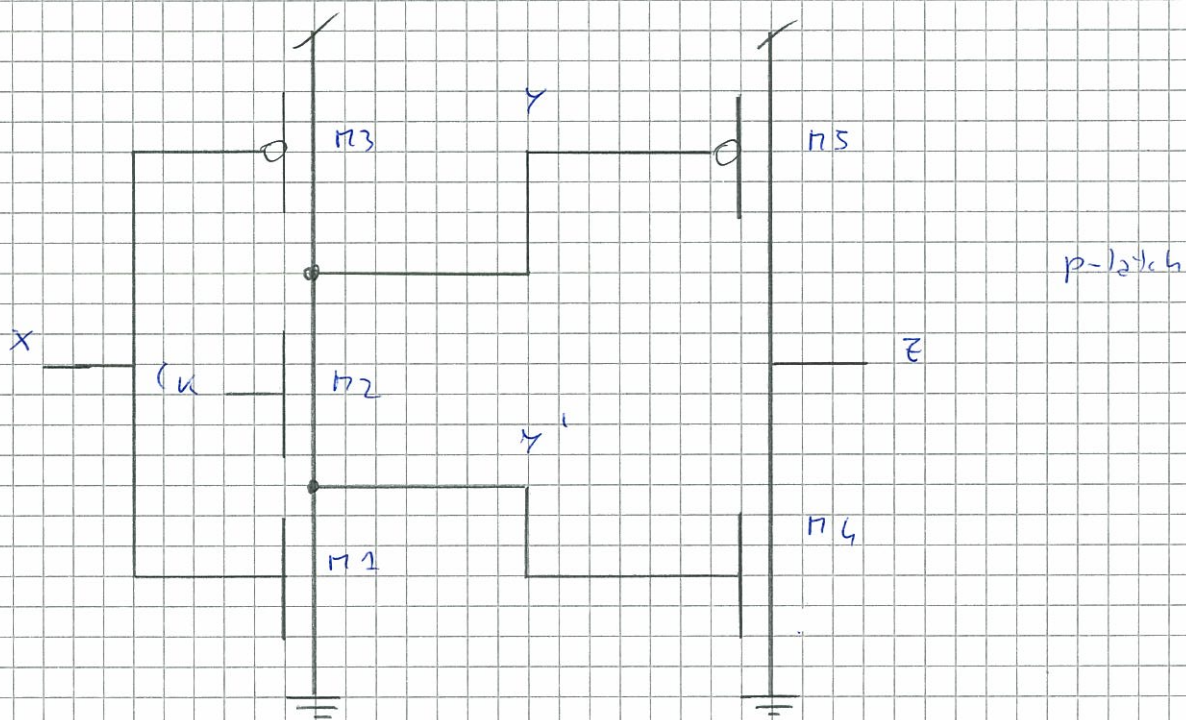
TSPCL



Dettero in casate p-latch e n-latch d'entro un flip-flop. In questo cas non ho vincoli sulla rete combinatoria.

Lo vantaggio di questi latch e' che ognuno necessita di 6 transistor e inoltre il tempo di propagazione e' piu' lungo essendo ogni latch costituito da due stadi.

la rete può essere ulteriormente semplificata arrivando a una soluzione con 5 transistor.

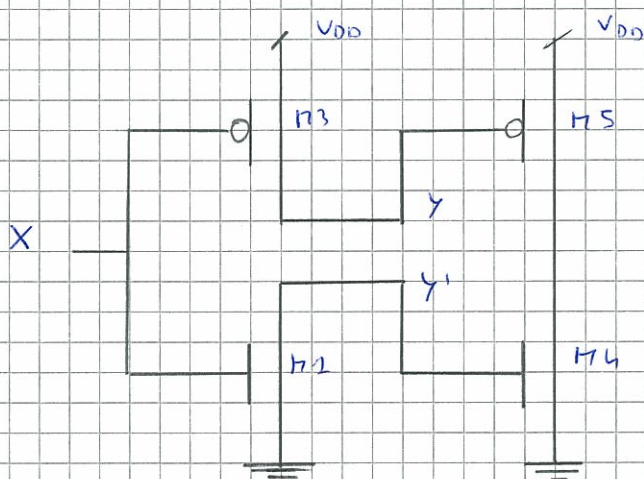


Q' sempre un p-latch di TSPCL ma semplificato

$CK=1$ $n2$ ON EVAL

Y e Y' risultano cortocircuitati. E' come avere due CMOS in cascata.

$CK=0$ $n2$ OFF



Supponiamo $X: 0 \rightarrow 1$

$n1$ OFF $\rightarrow$ ON

$Y' = 0$

$n4$ OFF

$n3$ ON $\rightarrow$ OFF

Y H.I. cont.

$Z = \text{cont}$

Supponiamo l'altro caso $X \downarrow \rightarrow 0$

M3 OFF $\rightarrow$ ON

$Y = 1$

M5 OFF

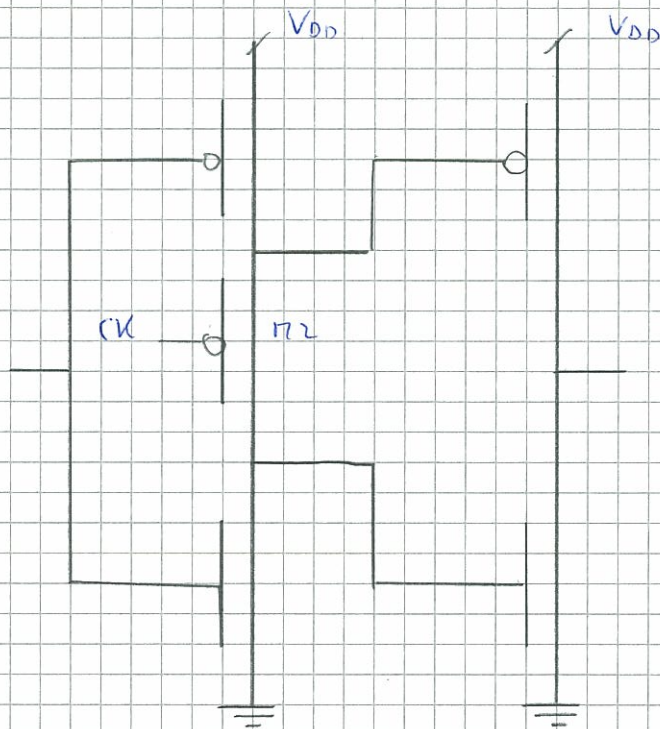
M1 ON $\rightarrow$ OFF

Y' H.I. cont

Z cont.

Allora dimostriamo che effettivamente $CK=0$ HOLD.

Ancora una volta per fare l'm-latch sposta un mos sulla rete di PV.



è un m-latch? Verifichiamolo.

$CK=0$ EVAL

M2 ON

$CK=1$ HOLD

M2 OFF

6. svantaggio di questi circuiti: Quando $CK=1$ se (pt. considero il p-blech di primo)

Se $CK=1$ e $X=0$

$M2$ ON $V_Y = V_{DD}$

$M3$ ON $V_{Y'} = V_{DD} - V_T$

Quindi non è vero, come abbiamo detto prima, che Y e Y' si trovano allo stesso potenziale (contacircuitati). Ma comunque il circuito si comporta come cors. Il problema è la velocità.

$$V_{GS_{Mn}} = V_{DD} - V_T$$

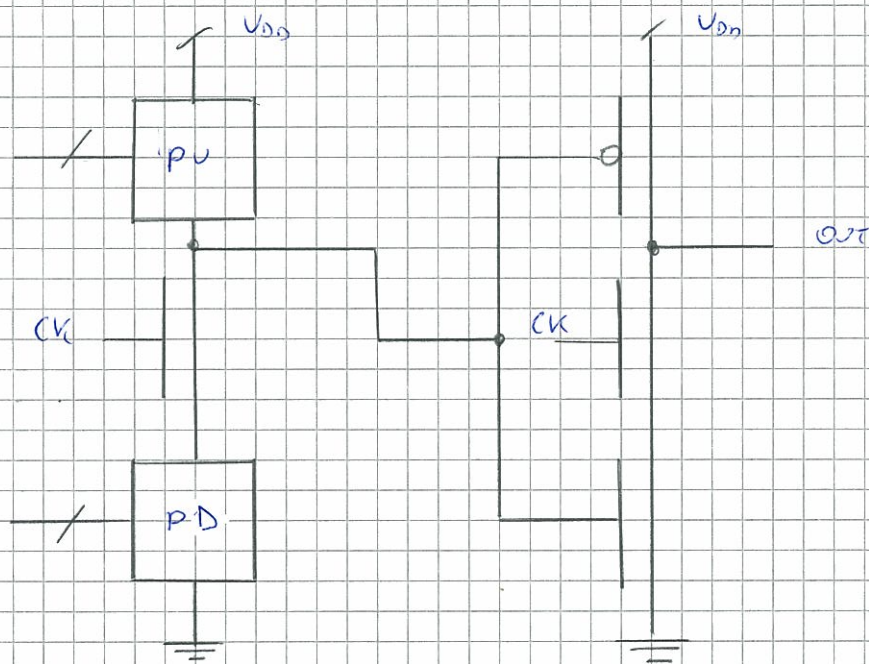
del cond. in uscita

»

Ha una corrente più piccola $\Rightarrow$ i tempi di scarica sono più lunghi $\Rightarrow$
 $\Rightarrow$ questo porta è più lenta di quella con 6 transistor
 (vantaggio: recupero dello spazio).

È vero che questi latch sono composti a due stadi, e quindi un po' più lenti. Ma però sfruttano il fatto di avere un cors per realizzare la rete combinatoria direttamente nel primo stadio.

Quindi realizzare qualcosa del genere:



In questo modo rendo il circuito più veloce.

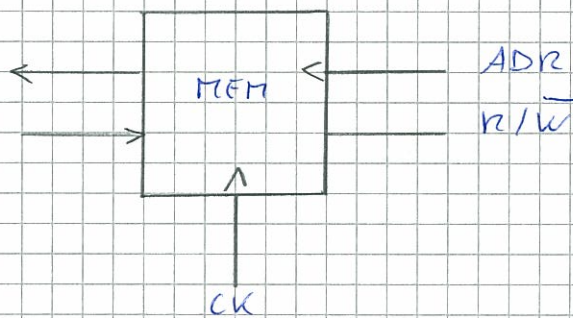
MEMORIE

Memorie a semiconduttore

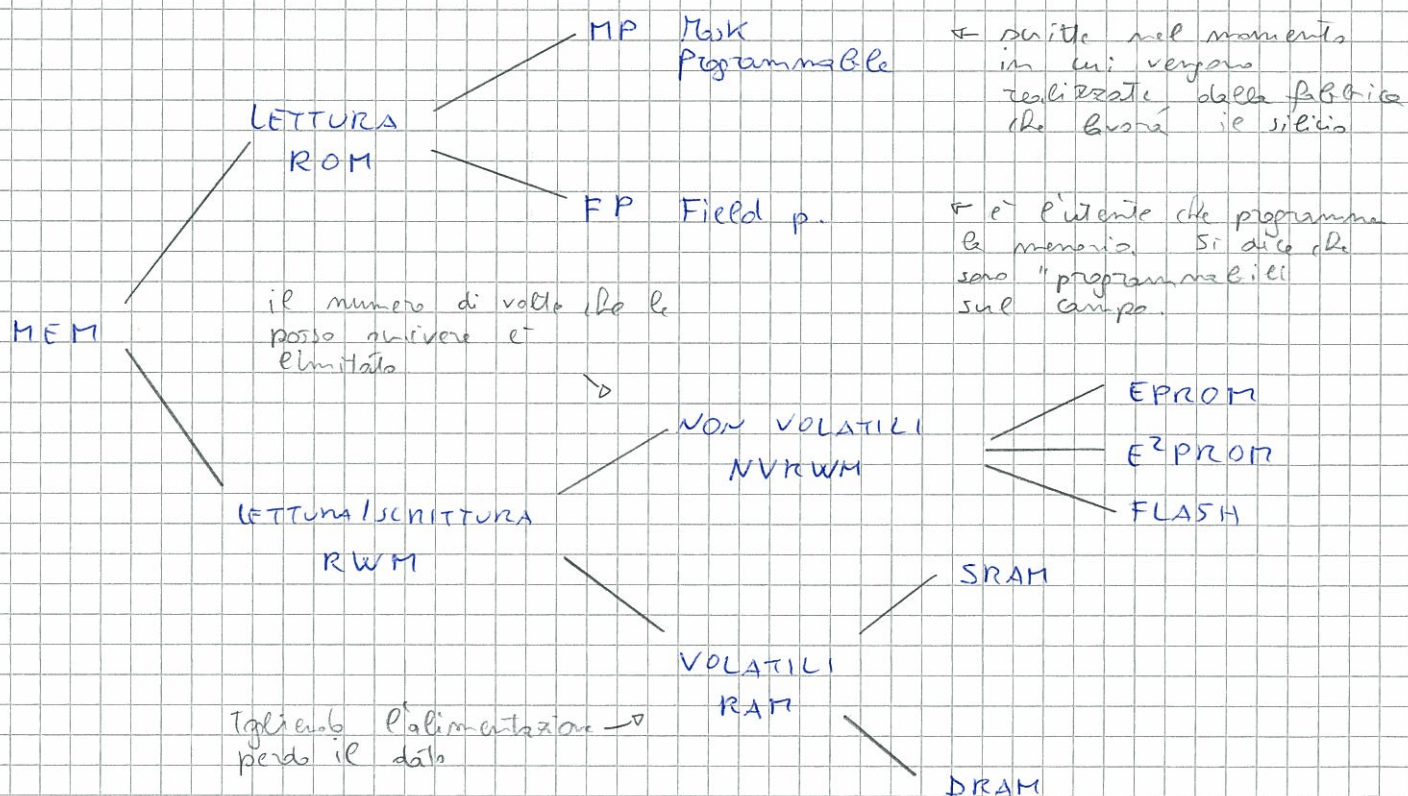
In altre situazioni ci interessa la capacità della memoria, cioè la capacità di immagazzinare grandi quantità di dati.



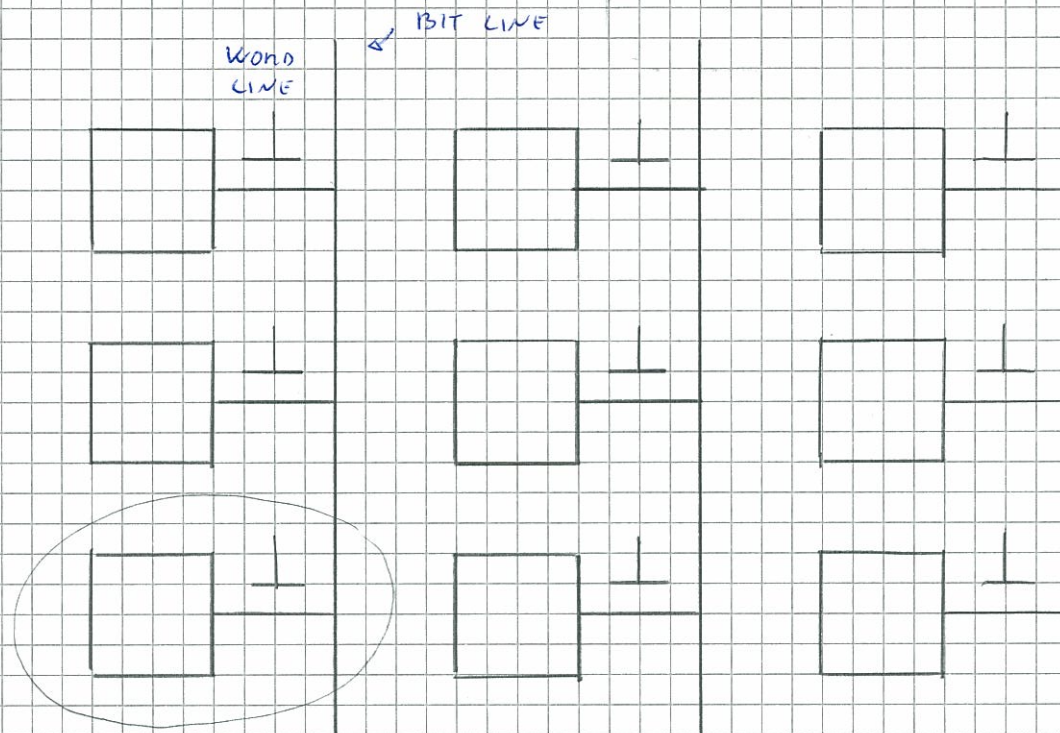
È un elemento in grado di memorizzare più bit, organizzati in parole, che vengono identificati attraverso un indirizzamento. Ogni elemento della memoria può essere letto o scritto. Ci sarà un segnale che decide se devo leggere o scrivere. Poi avrò un meccanismo che mi permette di inserire o prelevare un dato. Inoltre, per la maggior parte delle applicazioni, ho bisogno che la memoria sia simmetrica.



Ci sono due grandi famiglie di memorie: a sola lettura e non.



Voglio memorizzare tanti bit, quindi devo avere dei dispositivi che mi permettano di tenere in memoria i bit. Ogni cella deve poter accedere a quella che viene detta "BIT LINE", che permette di ricevere o pubblicare un dato. Inoltre ogni cella deve avere un comando che mi dice se è quella cella a cui devo accedere o no. La cella è collegata alla bitline con un MOS attivato da un segnale che mi dice se la cella a cui voglio accedere è quella (wordline, perché di solito accedo a un'intera parola).



Ogni cella deve essere collegata a word line e bit line. Devo memorizzare un bit; può essere un flip-flop. Ma la connessione alla bit line mi deve permettere anche di sapere se il dato deve essere letto o scritto.

$$WL = 0$$

M1, M2 OFF $\Rightarrow$ cella disabilitata

$$WL = 1$$

$$R/\bar{W} = 1$$

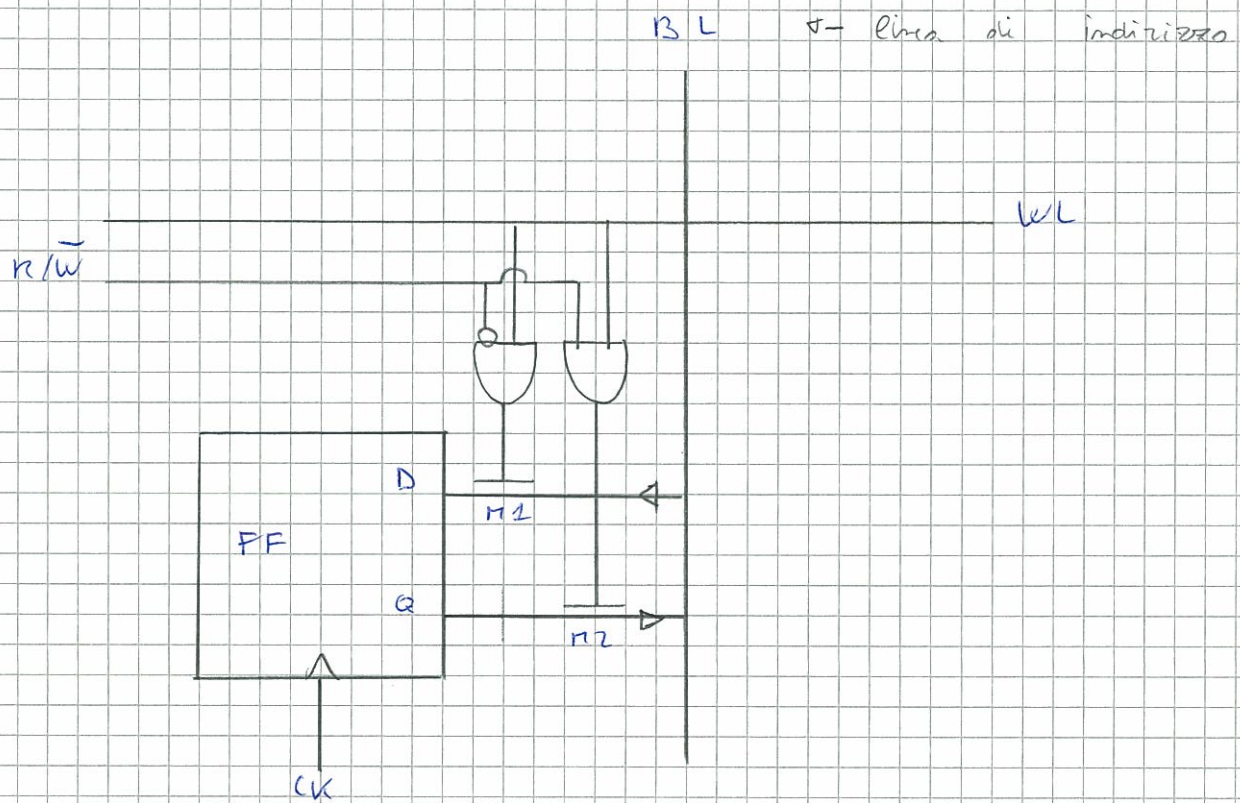
$$\left. \begin{array}{ll} M1 & \text{OFF} \\ M2 & \text{ON} \end{array} \right\} R$$

questo segnale si indica con $R/\bar{W}$

$$R/\bar{W} = 0$$

$$\left. \begin{array}{ll} M1 & \text{ON} \\ M2 & \text{OFF} \end{array} \right\} W$$

per indicare $R/\bar{W} = 0 \Rightarrow W$

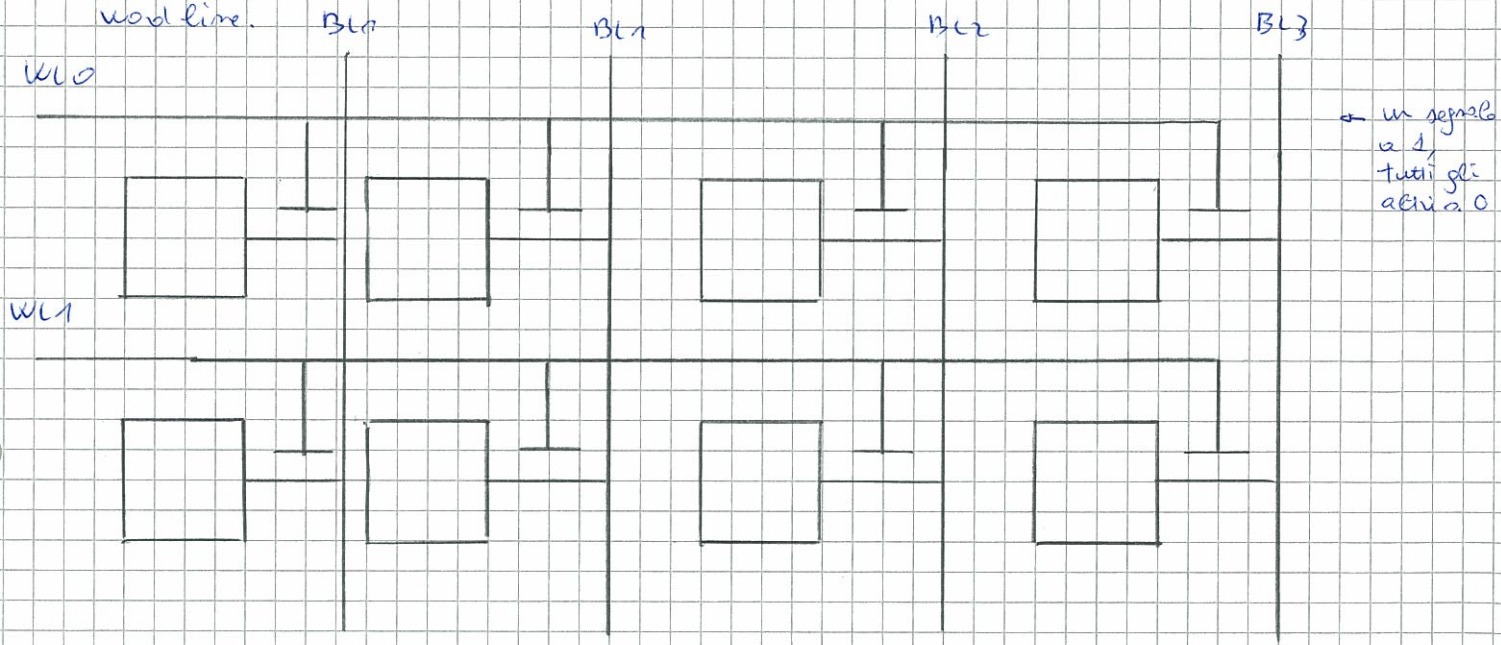


6 vantaggi di questa architettura è che è complessa: ingombrante.

Se inoltre utilizza questa struttura ha bisogno di una word line per ogni cella. Quindi

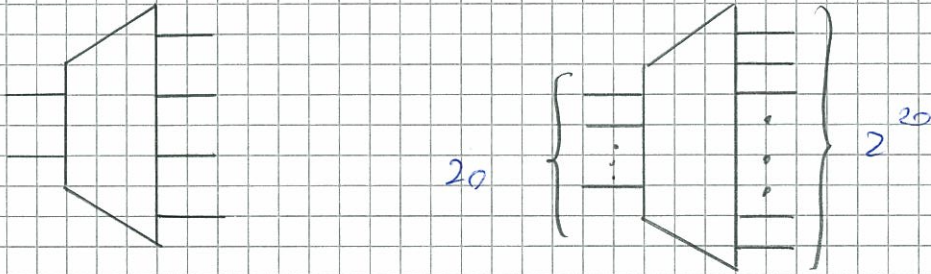
1 MByte = 2^{20} Byte → necessita di 2^{20} linee di indirizzamento.

Specifichiamo un po' meglio. La memoria è organizzata in parole → quando accedo alla memoria accedo a un'intera parola (4, 8, 16 ~~bits~~ bit contemporaneamente). Quindi mi basta una linea che mi attivi tutti gli, ad es., 8 bit. Quindi la word line è unica per tutta la parola. La mia parola è di 4 bit? Sulla stessa riga ho la stessa word line.

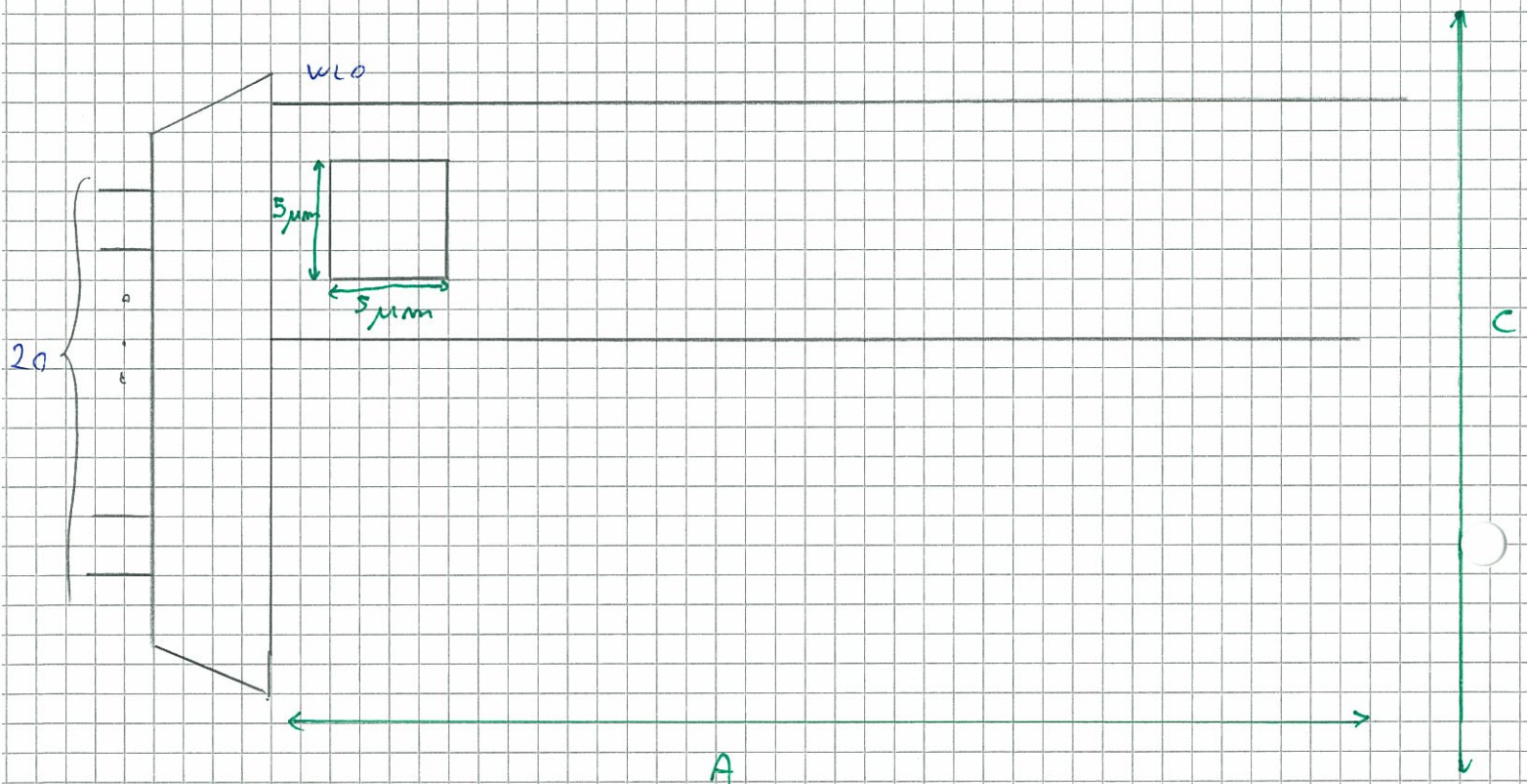


1 PByte = 2^{20} linee di indirizzamento $\Rightarrow$ mondo.

Per indirizzare la memoria utilizzerò un decoder. Dati n ingressi ho 2^n uscite. Avrò bisogno di un decoder con 20 ingressi e 2^{20} uscite.



Ho il concetto di indirizzo: una location è identificata da una combinazione di bit.



Tecnicamente questa soluzione è improponibile. Supponendo VF di $5 \mu m$

1 PByte

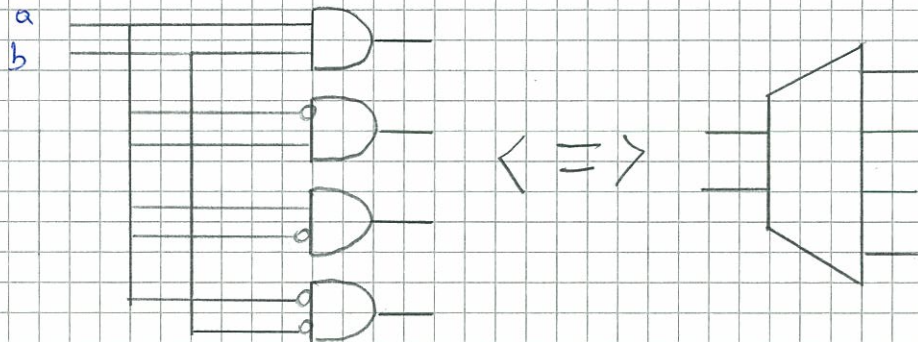
$$A = 5 \mu m \cdot 8 = 40 \mu m$$

$$C = 5 \mu m \cdot 2^{20} = 5 \cdot 10^{-6} m \cdot 10^6 = 5 m$$

$$A \cdot C = 40 \cdot 10^{-6} \cdot 5 = 200 \cdot 10^{-6} m^2 = 2 \cdot 10^2 \cdot 10^{-6} m^2 = 2 \cdot 10^{-4} m^2 = 2 cm$$

L'area è piccola (2 cm) ma il rapporto di forza è decisamente vantaggioso ($\approx 5m$)

L'altro vantaggio è che il decoder è complesso. Il decoder viene realizzato con AND.



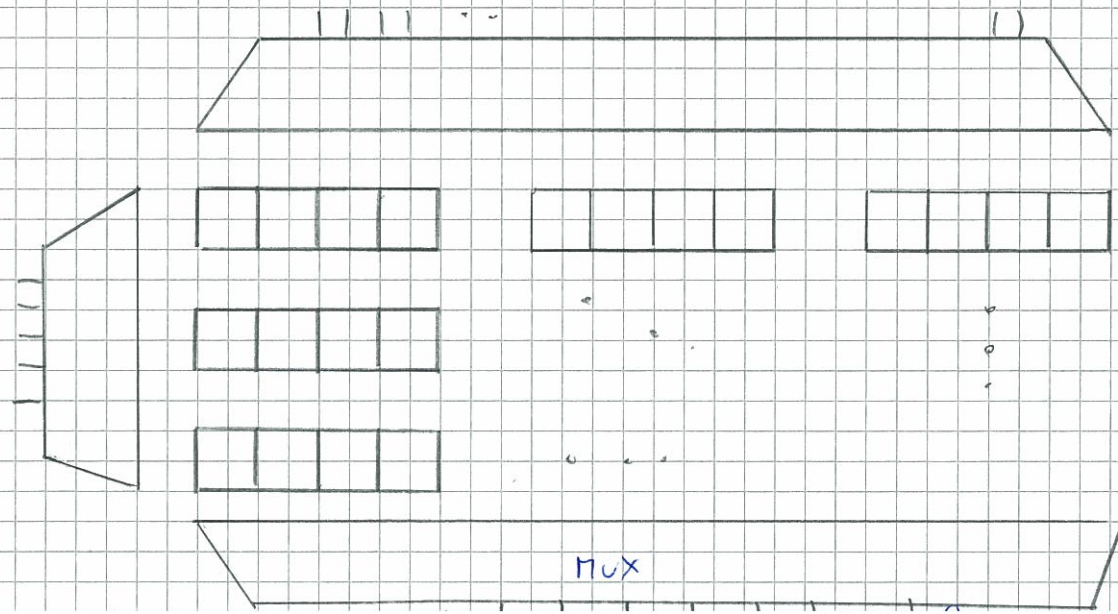
Sto usando 2^{20} AND a 20 ingressi: è pazzesco!

Sono le litine a essere lunghe 5m. Potrei pensare di fare i serpentine. Ma non può perché comunque con 5m di linea avrei resistenze e capacità parassite enormi $\Rightarrow$ costanti di tempo esagerate.

Una prima possibilità è quella di usare una soluzione bidimensionale.



Anziché metterle in fila (in colonna in verticale) le metto in due dimensioni e le indirizzo con un indirizzo di riga e un indirizzo di colonna.



Ho ridotta la lunghezza delle pipeline e la complessità dei decoder.

$$1 \text{ KByte} = 2^2 \text{ Byte}$$

$$2^{12} \text{ righe}$$

$$2^8 \text{ colonne}$$

$$\text{AND } 2^{12} + 2^8$$

Ma può anche pensare a una memoria a più dimensioni (divisione in righe, colonne e canali).

Ho migliorati i rapporti di forma? sì

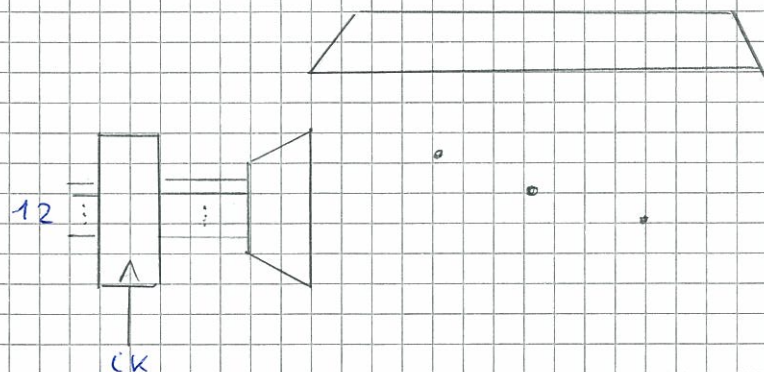
$$\text{righe} = 5 \mu\text{m} \cdot \overset{\text{« lunghezza parola »}}{8} \cdot 2^8 = 52^{11} = 10200 \mu\text{m} \approx 1 \text{ cm}$$

$$\text{colonne} = 5 \mu\text{m} \cdot 2^{12} = 20400 \approx 2 \text{ cm}$$

Devo però aggiungere un mux per scegliere quali bitline portare in uscita. (per ogni parola 8 bitline).

Altra cosa: nell'architettura di prima portavano il clock a ogni FF.

Conviene portare la sincronizzazione verso l'esterno, quindi sincronizzare il momento in cui si accede alla cella. Conviene considerare un registro (in ingresso) sincronizzato al clock che mi trasferisce l'abilitazione all'accesso alla cella.

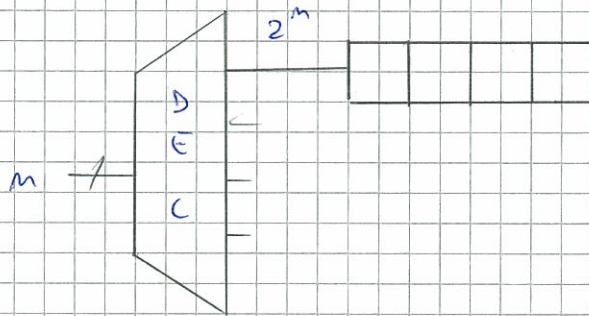


il registro contiene l'indirizzo della cella

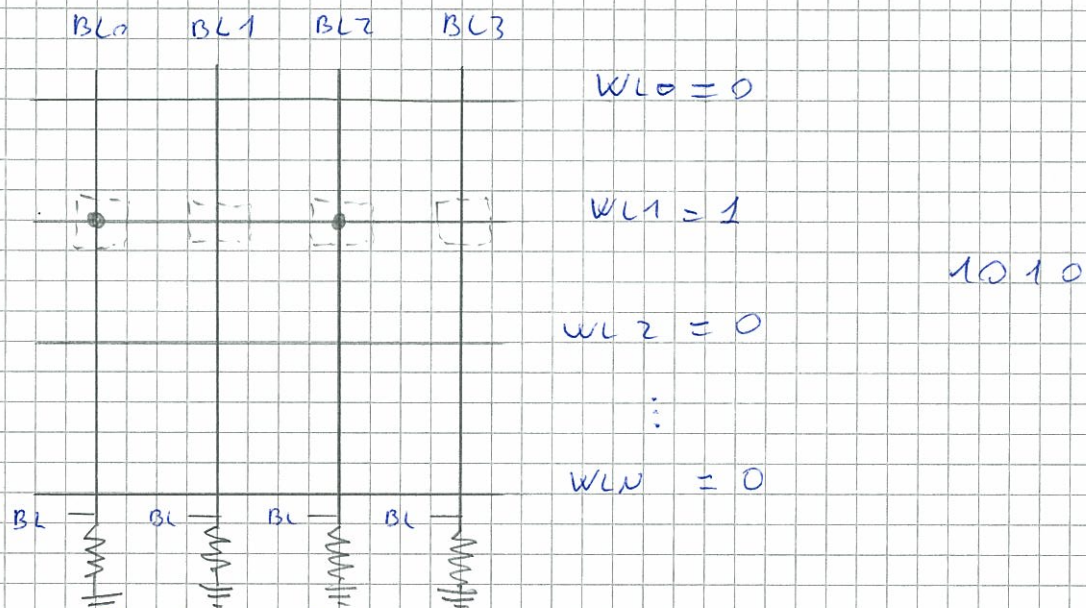
Posso quindi togliere il clock ai FF. Posso quindi sostituire i FF con dei latch, che sono più piccoli.

Ma anche i dati da leggere e scrivere possono essere appoggiati su dei registri. Quindi posto fuori anche la sincronizzazione delle bit line.

non (Read Only Memory)



Le memorie non sono a sola lettura. Il problema è come mettere dentro i dati e dove.



Se ho parole di 4 bit mi servono 4 bit line.

Quando voglio attivare una WL la pongo a 1 e metto tutte le altre a zero.

Voglio attivare la BL a seconda del contenuto della cella.

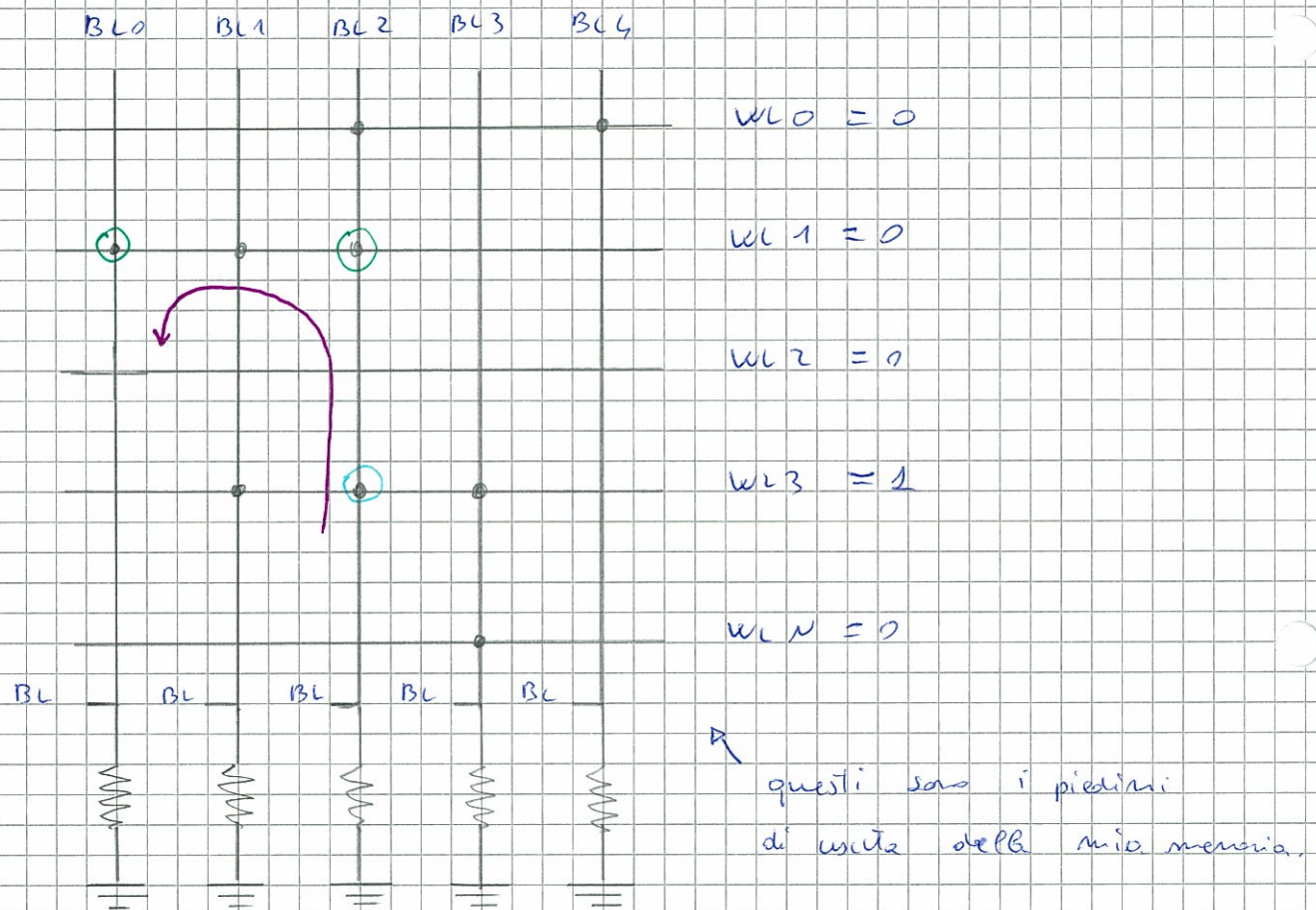
Supponiamo di connettere ogni bit line a un pull down. Quindi quando sono aperte le BL sono al potenziale zero.

Per portarle a 1 le connetto a un pull up che le porti a 1.

Quando una parola è selezionata $WL = 1$. Contemporaneamente la BL alla WL.

Dare contemporaneamente ingresso un 1.

Se voglio ~~WL3~~ e parlo 3 a 0111 configurato opportunamente.

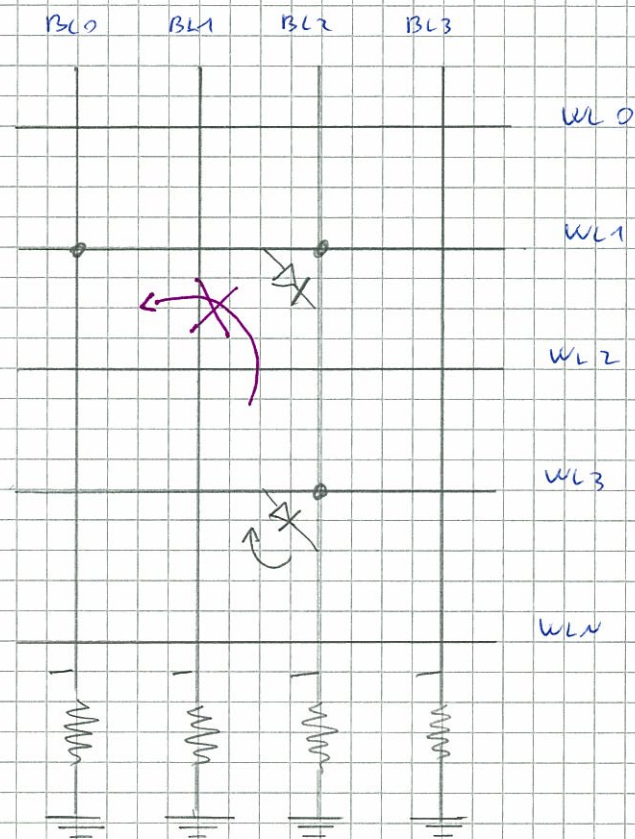


Quando $WL_3 = 1$ in uscita vedo 01110

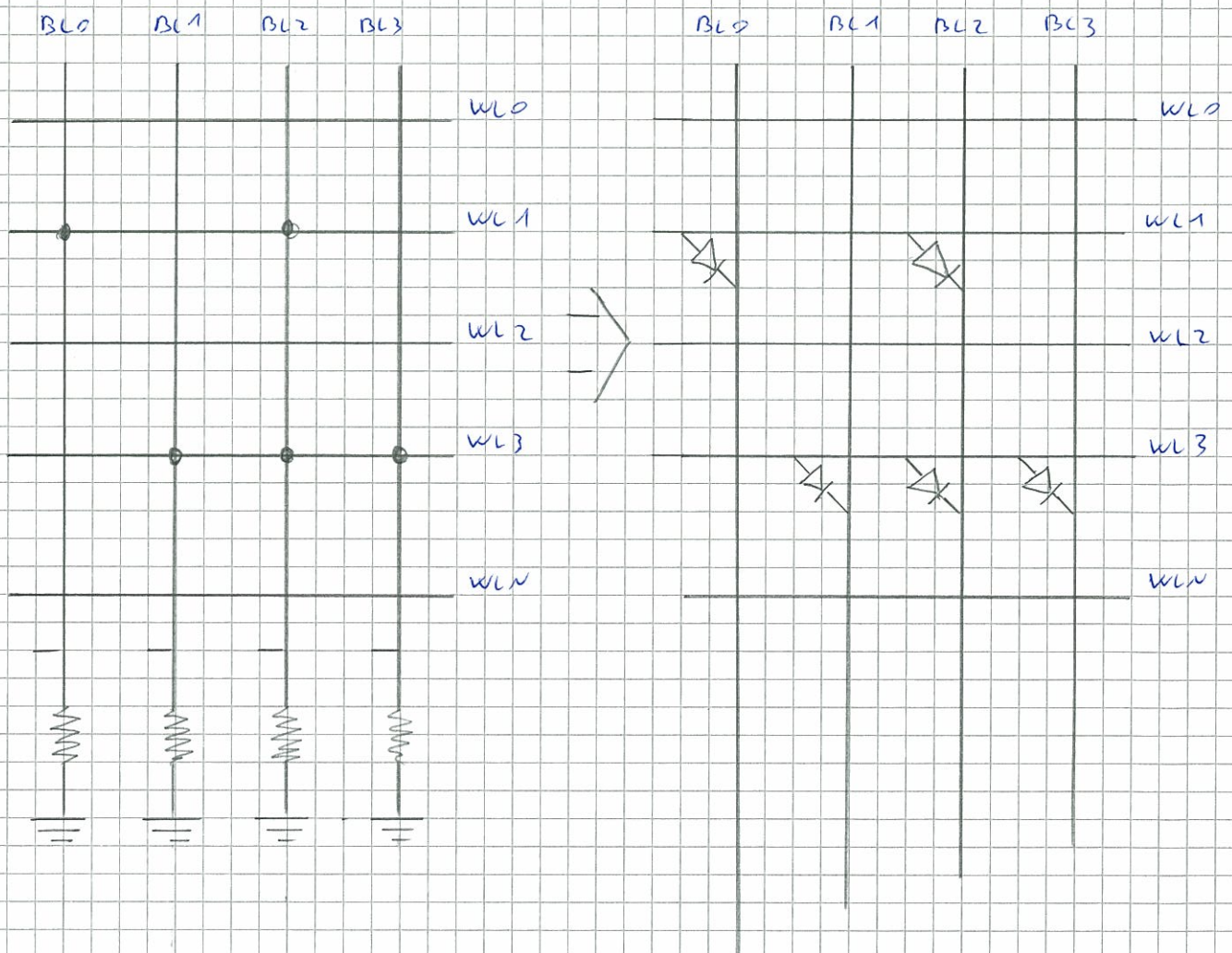
Se non è configurato niente e BL non possono che essere a potenziale zero.

Questo apparecchio però ha un piccolo difetto. Supponiamo di avere questa memoria programmata (ho fatto questi cortocircuiti) in questo modo. Supponiamo di voler selezionare WL_3 . Io mi aspetto che in uscita ci sia 01110. Ma è cortocircuitato con quindi sto cortocircuitando anche forzando a 1 anche BL_0 . Il cortocircuito in linea di principio mi va bene, ma devo fare in modo che la corrente possa andare in un senso ma non nell'altro. Inverso dei diodi.

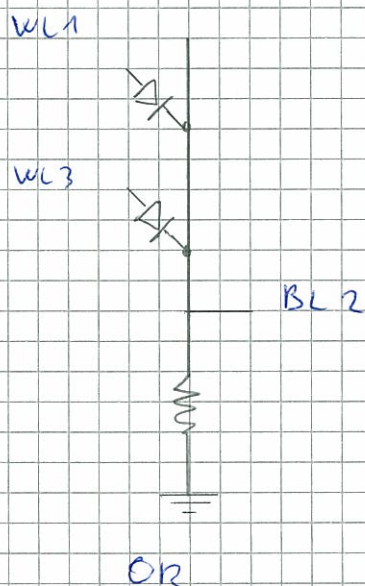
Q. Grande →
non può
circolare così



Quindi il dispositivo viene realizzato così:



Concentriamoci sulla BL2



è un iteratore di massimo.

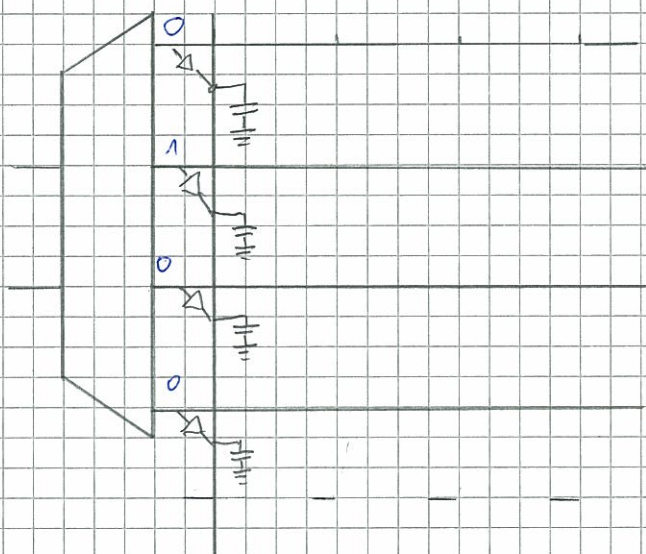
$BL2 = 1$ se almeno uno dei due è 1.

Di fatto realizza un OR.

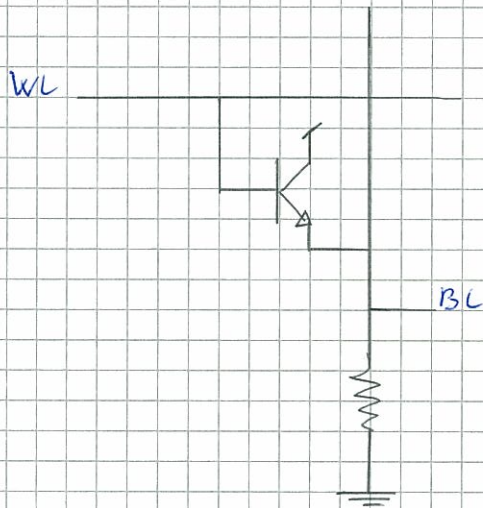
Quindi inserisco dei diodi dove voglio che ci sia un 1. Negli altri punti non metto niente.

Se $WL=1$ il diodo è acceso, altrimenti è spento.

Il problema è che selezioniamo le parole con un decoder. Per portare una BL a 1 significa far circolare della corrente. Quindi il decoder deve essere in grado di fornire corrente, corrente che può essere anche molto elevata, perché se succede così:



c'è vero che solo un diodo è acceso, ma anche gli altri danno comunque una capacità parassita. Per azionare tutte le capacità mi serve una corrente molto elevata.
 Invece di mettere il diodo posso pensare di mettere un BJT.



$$I_B = \frac{I_C}{\beta_F + 1}$$

la funzione del diodo di permettere la circolazione di corrente in un solo senso è mantenuta. Ma ora ho una corrente I_B $\beta_F + 1$ volte più piccola di I_C , quindi la corrente assorbita dal decoder è più piccola.

lo svantaggio è che devo portare l'alimentazione a tutti i BJT, mentre si dice che il BJT è un dispositivo "non autoisolante".

Parentesi sulle Tecnologie

MOS

Ho a disposizione il wafer di silicio drogato circa $10^{14} - 10^{15}$ atomi cm^{-3} . Il silicio ha 10^{23} atomi per cm^3 . Se io drogo con vuol dire che metto una particella di drogante ogni 10^8 atomi di silicio. Io voglio realizzare un n-mos, quindi voglio realizzare p+D e voglio realizzare sopra il silicio strati di ossido e metallo.

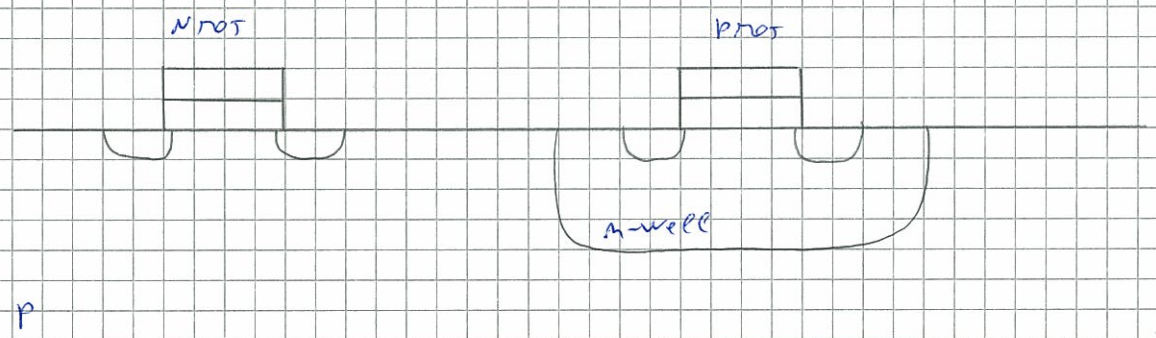


$P(10^{14-15} \text{ at/cm}^3)$

Io voglio che la regione drogata n sia limitata. Voglio inserire drogante in modo selettivo e fare andare alla profondità che voglio io. Poi voglio poter crescere una zona con metallo e ossido proprio nel punto che voglio io.

Si dice che si usa la FOTOLITOGRAFIA

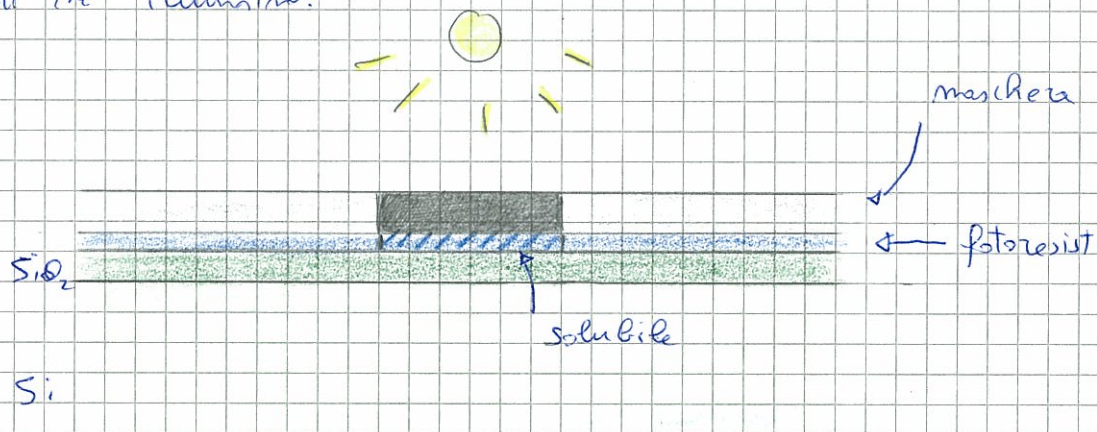
Facciamo una cosa più complessa. Sappiamo di voler realizzare un CMOS (dove fare p-mos e n-mos).



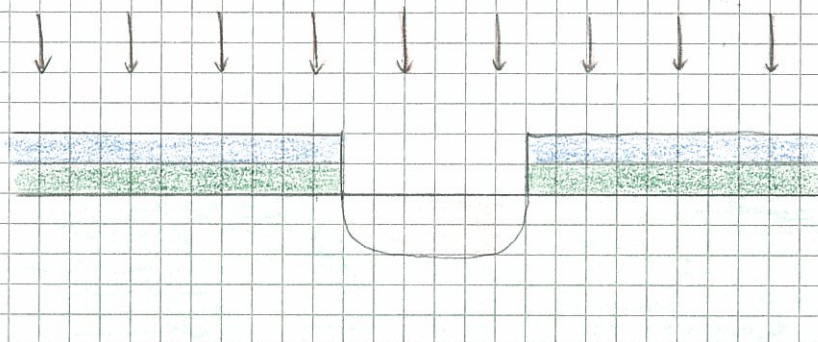
Devo prima fare le cose più profonde innanzitutto faccio la tasca n per il p-mos.

Per inserire drogante nel substrato si usa una tecnica detta IMPIANTAZIONE IONICA. Ho uno strumento che, presi atomi da una miscela di gas (qui arsenio, antimonio o fosforo) li accelera e li spara con una certa energia nel substrato.

L'energia che utilizzo dipende da quanto voglio andare in profondità nel substrato. Quando l'atomo perde energia e si ferma. Rimbalza per prima varie volte sul reticolo cristallino. Si può dimostrare che gli atomi si dispongono con distribuzione gaussiana. Ma io li voglio solo in una certa regione. Vado a crescere sul silicio, in modo uniforme su tutto il wafer, uno strato di ossido di silicio. Poi, con un attacco chimico, lo rimuovo dalle zone in cui voglio che il drogante entri nel silicio (il SiO_2 fa da barriera agli atomi del drogante). Distribuisco sul mio materiale del Fotorezist, un materiale che cambia le sue proprietà se colpito da radiazioni ultraviolette. Se illuminato da radiazione luminosa è insolubile, mentre se lo lascio con così è e' attaccabile dagli acidi. Quindi lo illumino dovunque tranne nei punti dove voglio che non vada il drogante. Per non illuminare una certa zona la proteggerò con del materiale opaco. Prendo un supporto di vetro e lo immergerò nelle zone dove non voglio che passi la radiazione luminosa. Poi questa lastra (maschera) la metto sopra al wafer. Dopo di che illumino.

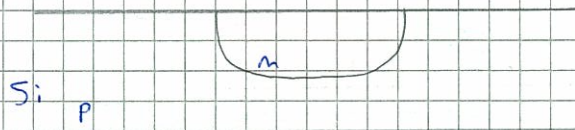


Poi con un acido toglie il fotorezist dove non è voluto.



Repetitive' processo con l'impiantazione.

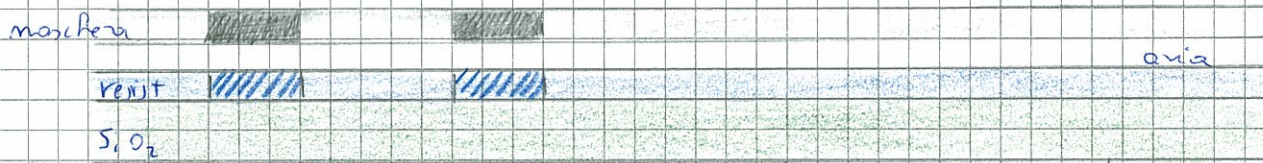
Infine rimuovo tutto l'ossido di silicio e le fotoresist.



Per realizzare il dispositivo ci vogliono anche 20 maschere successive.

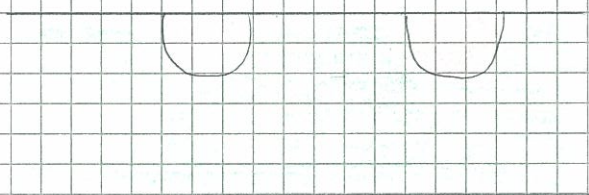
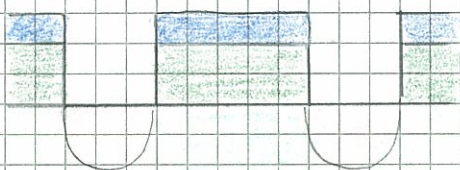
Le maschere sono costose, ma le posso realizzare più volte quindi il costo delle maschere è ammortizzato se la produzione è elevata.

Se ora voglio fare le regioni n e p procedo in modo analogo.

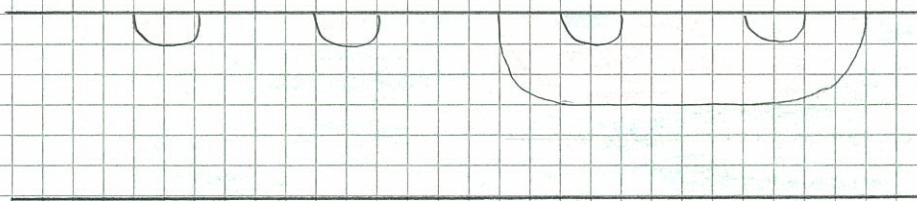


di solito si lascia uno strato d'aria tra maschera e resist per evitare che si danneggi giro con il contatto.

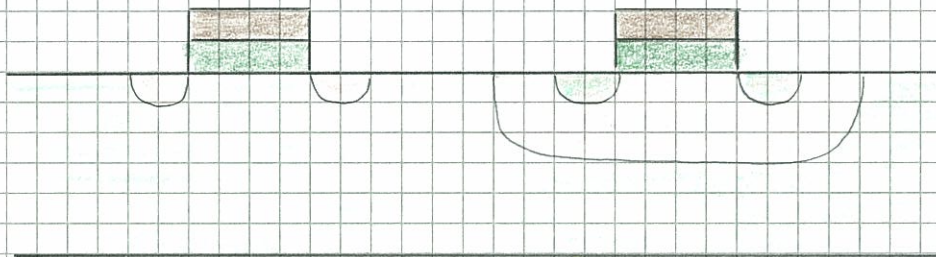
Si



Dopo di che realizzo le regioni S e D del pmos

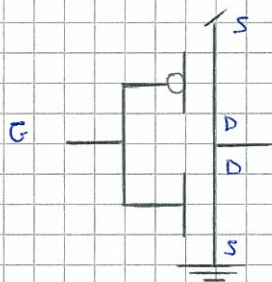


Ora devo crescere lo strato di dielettrico fatto del dielettrico (ossido) dappertutto e lo tolgo dove non mi serve.

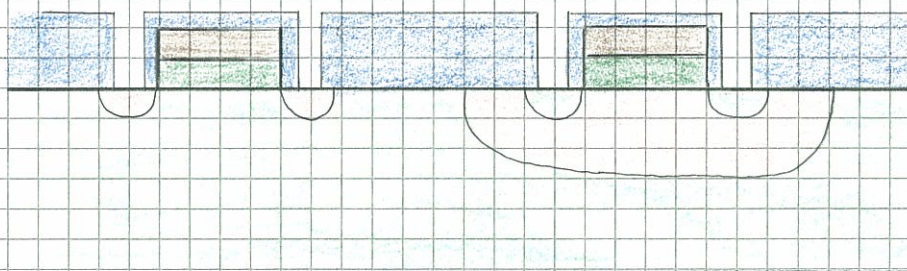


Tipicamente in un passaggio si realizza lo strato d'ossido e quello di metallo.

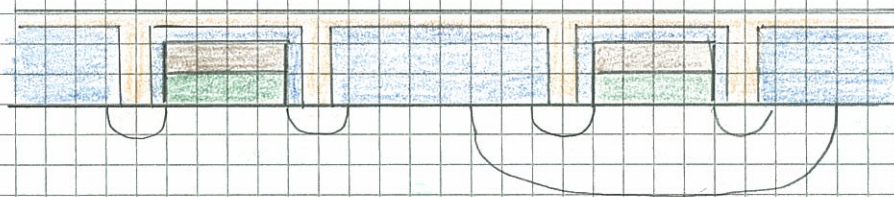
Mancano le metallizzazioni: devo portare fuori i segnali. E voglio un inverter così devo inoltre realizzare fra di loro i gate.



Si apre tutto con ossido e fotoresist. Poi maskero e apro delle "finestre" dove voglio.

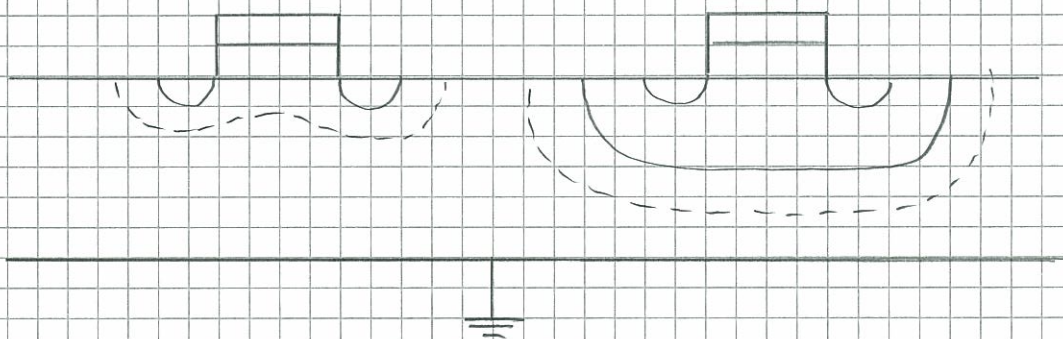


Si ricopre tutto di alluminio.



Poi, nel solito modo, tolgo l'alluminio dove non mi serve.

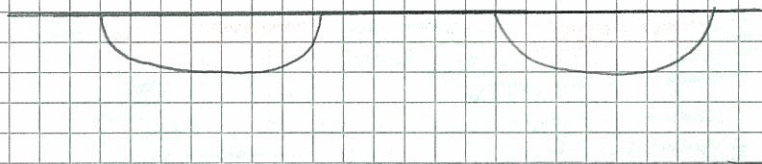
Perché si dice che il mos è "autoisolante"?



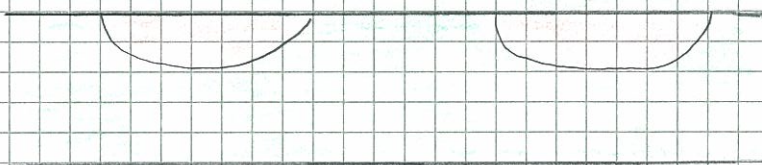
Se vicino a questi mos un altro mos fa di essi non c'è passaggio di corrente, perché tra di loro c'è una regione svuotata.

Il BJT invece come viene realizzato? Parto da un substrato di tipo p. Su questo realizzo due regioni di tipo n. Sopra a tutto questo viene cresciuto un altro strato di silicio di tipo p.

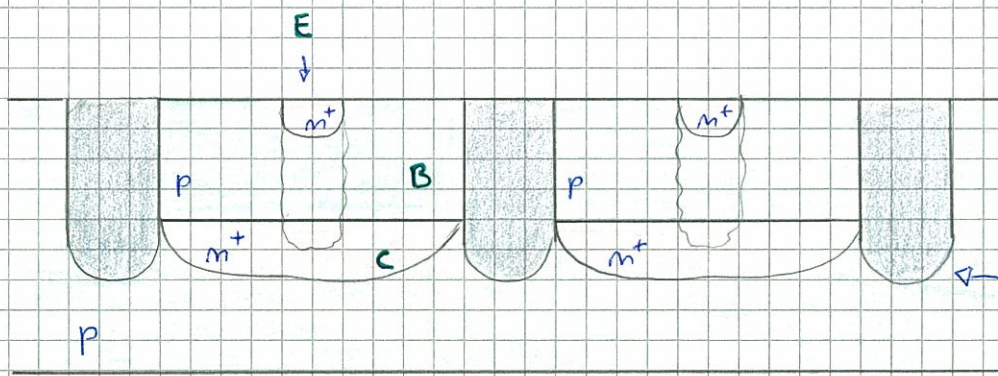
1)



2)



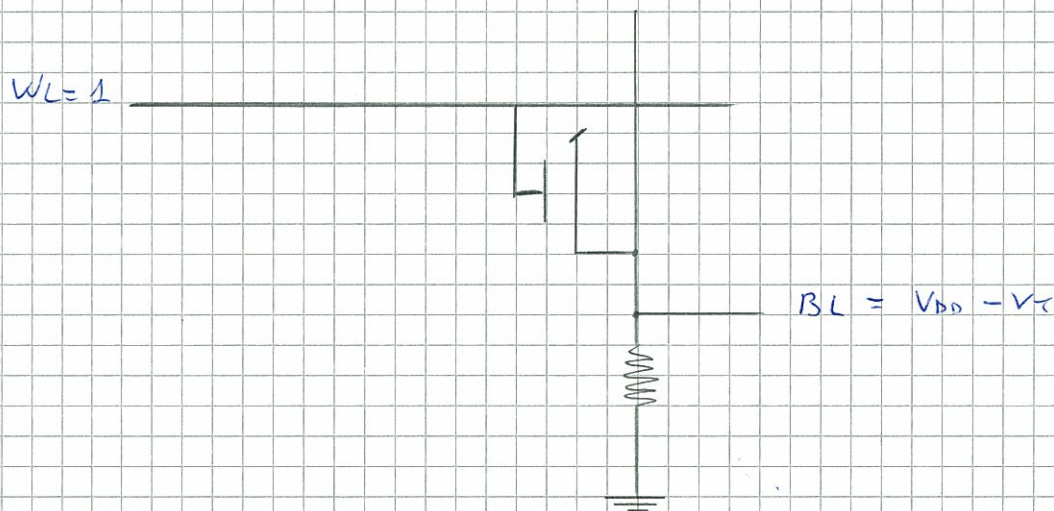
3)



E = emettitore
B = base
C = collettore

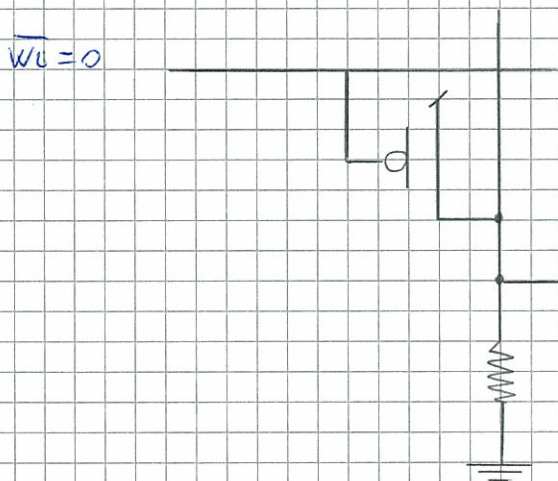
si buca il silicio con
un attacco chimico poi si
riempie tutto con ossido

Se non isolata la base i due dispositivi essi hanno in comune la base.
Crea una "trincea" di ossido. Ma in questo modo non posso compattare
piu' di tanto, perché in mezzo ai dispositivi devo realizzare le trincee.
La soluzione della memoria realizzata con transistor bipolari non funziona.
Meglio utilizzare un MOS, che ha anche un altro vantaggio: non necessita
di una corrente di base, per cui R_D diminuito, ulteriormente la
richiesta di corrente al decoder.



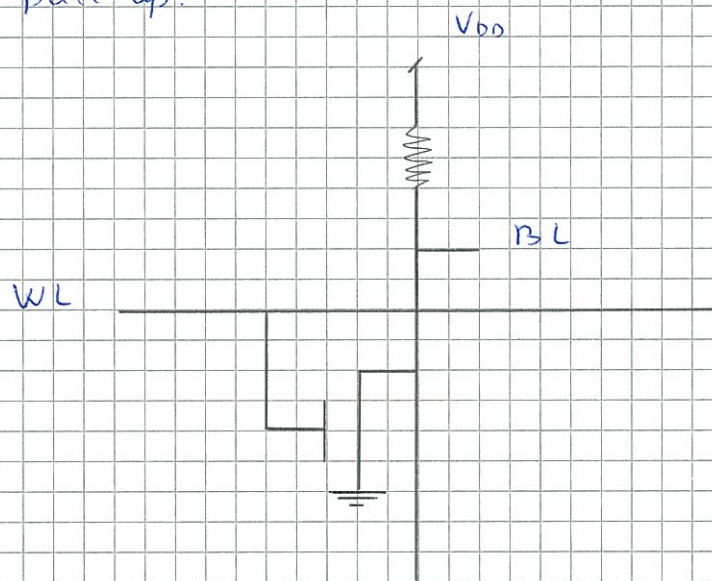
Il problema è che però una scelta, perché sto usando il
MOS come PV.

Se uso un p-Mos, per selezionare una WL devo metterla a 0.



Il problema è che il p-MOS è più grande, quindi occupa più spazio. Poi un altro fatto è che i circuiti che stiamo usando sono logiche a rapporto, quindi devo dimensionare opportunamente il p-MOS per portare l'uscita sufficientemente bassa.

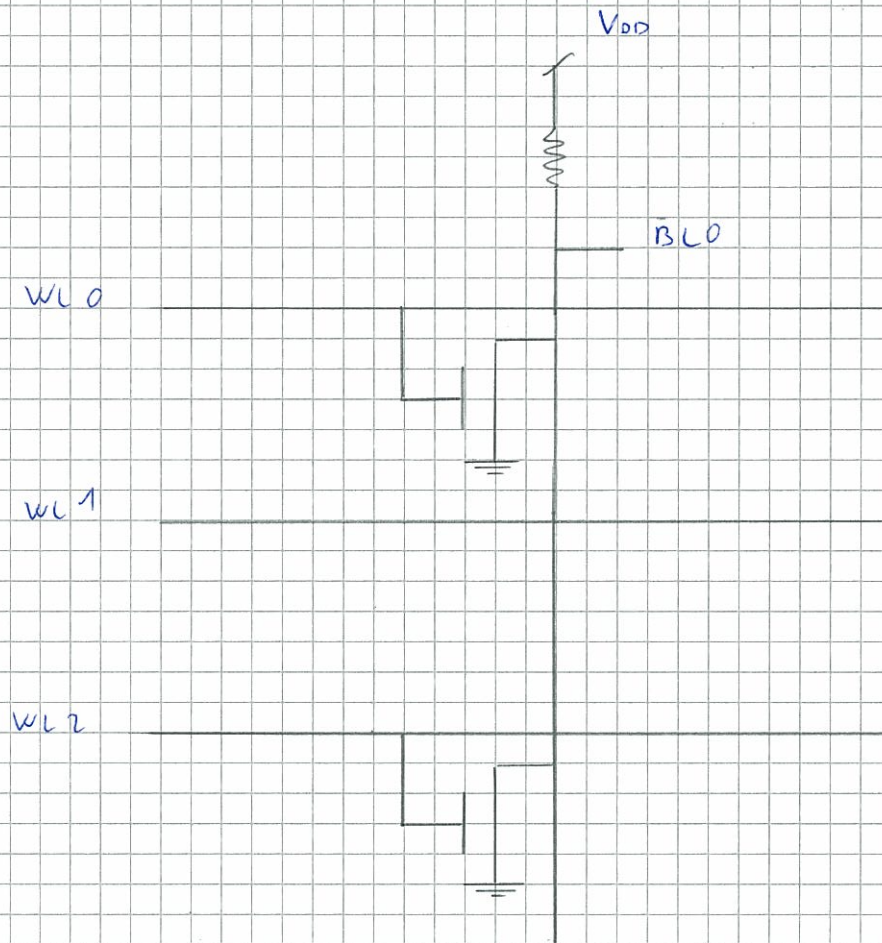
Potrei pensare di tornare a usare gli n-MOS mettendoli sul pull-down anziché sul pull-up.



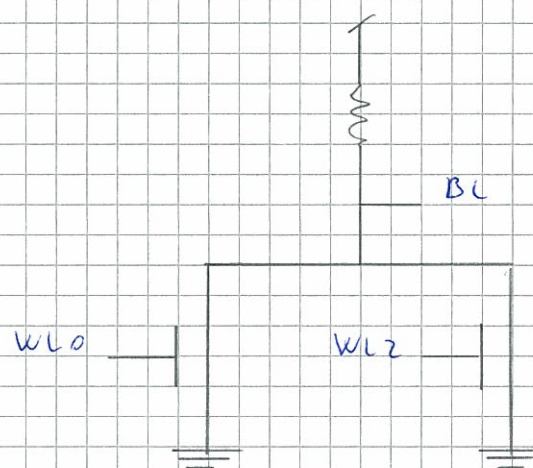
$WL = 1 \Rightarrow BL$ va a 0

Se non ci metto il MOS la BL va ad 1. È il contrario di prima. Qui metto il dispositivo dove voglio 0.

Ma a una BL fanno capo tante celle. In realtà il circuito che ved'è fatto così:



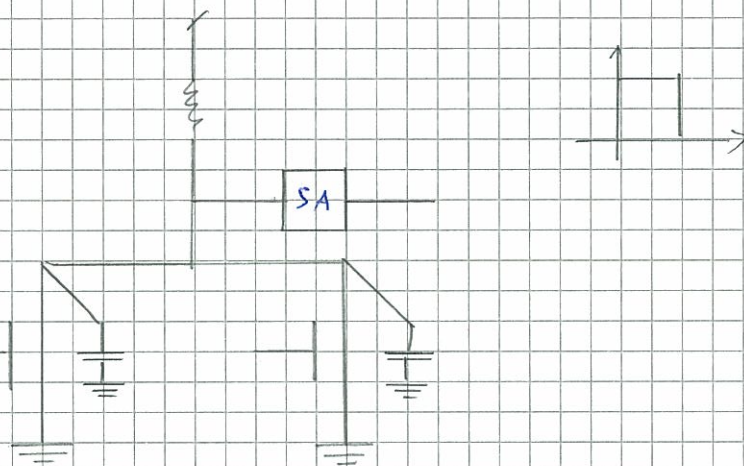
Questo circuito è di fatto questo qua.



L'uscita va a 0 quando almeno uno dei due bit è acceso $\Rightarrow$ è un NOR

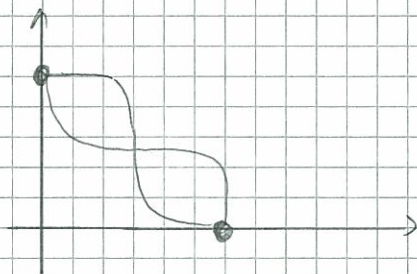
$\Rightarrow$ ROM NOR BASED

Problemi: sono Epiche a rapporto. Inoltre mi posso trovare tanti resistori in parallelo, quindi ci vorrà che ho solo un resistor acceso, ma è comunque delle capacità parassite. Quindi il resistor acceso deve pilotare una grande capacità $\Rightarrow$ deve essere grande. Inoltre mi devo portare le nasse a tutte le celle.



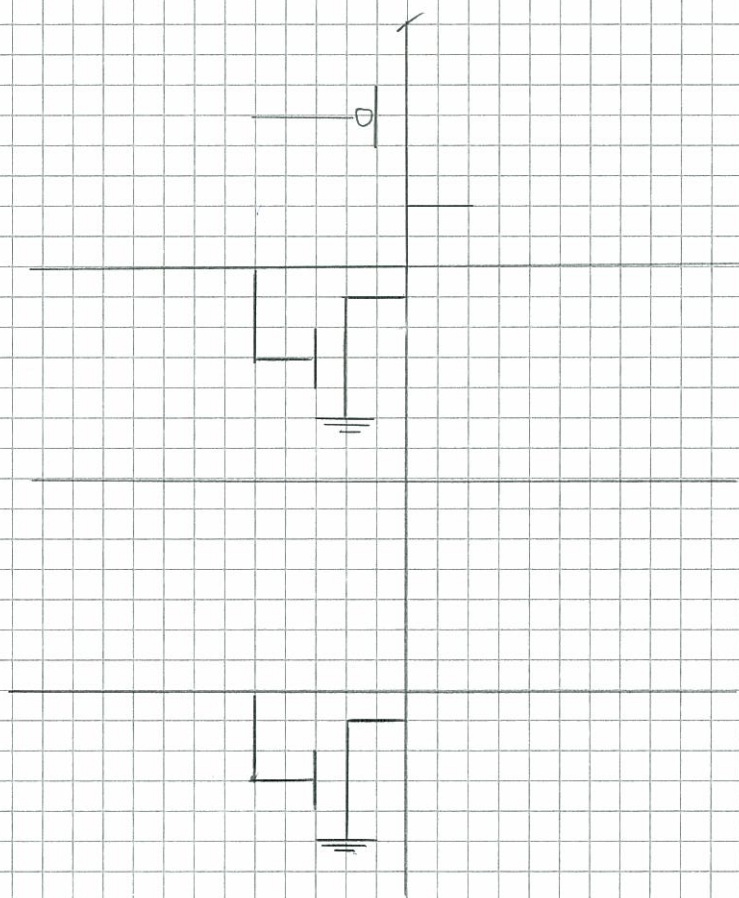
Devo risolvere il problema delle capacità. Posso trasferire il problema, che ora vedo associato alla singola cella, alla circuiteria esterna della memoria. Posso introdurre un **SENSE AMPLIFIER** (un amplificatore sensibile alle variazioni). Voglio un dispositivo che, quando ad es. sento allargarsi il valore della BL me lo amplifica. Il SA risponde facendo voltare immediatamente l'uscita a 0. Se riesco a creare posso metterne uno per bitline (non uno per cella). A questo punto nella cella non mi preoccupa più: posso fare dei resistori piccoli.

Come realizzare SA? Con un bistabile.



Non appena sono abbastanza lontana da un punto di equilibrio il dispositivo si sposta immediatamente sull'altro. Quindi mi basta che B_1 sia sufficientemente basso.

Un'altra soluzione è usare una logica PE^- . (Voglio una logica $ratioless$)



Q' $ratioless$ ma mi serve sempre un sense amplifier.

